

Retificador Unidirecional Multinível com Regulação Automática das Tensões

Wilmar A. P. Castiblanco* Cassiano Rech**

* *Ingeniería en Control y Automatización, Universidad Tecnológica del Uruguay, UTEC, (e-mail: wilmar.pineda@utec.edu.uy).*

** *Grupo de Eletrônica de Potência e Controle - GEPOC, Universidade Federal de Santa Maria, UFSM, RS (e-mail: rech.cassiano@gmail.com)*

Abstract:

Multilevel rectifiers allow improving the system performance by reducing the harmonic content of synthesized voltages, which leads to minimizing the size and weight of the grid interface filters. Alternatively, the use of unidirectional PWM rectifiers is particularly interesting in situations where there is nonregenerative operation, since it is possible to operate with fewer active switches. This work proposes a unidirectional five-level rectifier which reduces the number of components needed and allows the automatic regulation of floating capacitors voltages, without employing complex control techniques with sensors and/or additional circuits. In addition, the proposed rectifier requires devices with lower reverse voltages and, consequently, the number of components in series can be minimized. Simulation results demonstrate the validity of the proposal.

Resumo: Retificadores multiníveis permitem melhorar o desempenho do sistema em virtude da redução do conteúdo harmônico das tensões sintetizadas, o que conduz a minimizar o tamanho e peso dos filtros de interface com a rede. Alternativamente, o uso de retificadores PWM unidirecionais é particularmente interessante em situações onde não há regeneração de energia, pois sua operação é possível com ainda menor número de interruptores ativos. Dessa forma, este trabalho propõe um retificador cinco níveis unidirecional que reduz o número de componentes necessários e possibilita a regulação automática das tensões nos capacitores flutuantes, sem empregar técnicas de controle com sensores e/ou circuitos adicionais. Em adição, o retificador proposto requer dispositivos com tensões reversas menores e, conseqüentemente, o número de componentes em série pode ser minimizado. Resultados de simulação demonstram a validade da proposta.

Keywords: Ac-dc converters, five-level converters, multilevel rectifiers, switched capacitor converters.

Palavras-chaves: Conversores ca-cc, conversores cinco níveis, retificadores multiníveis, conversores com capacitor chaveado.

1. INTRODUÇÃO

Em muitas aplicações o uso de retificadores PWM unidirecionais é preferido dada a natureza do processamento de energia, é dizer, o fluxo de potência apenas ocorre desde a entrada CA para a saída CC. Usualmente essas situações incluem cargas puramente resistivas tal como sistemas de propulsão naval, controle de motores com frenado não regenerativo, fontes de energia em telecomunicações. Nessas aplicações, o uso de retificadores multiníveis unidirecionais permite drenar correntes com reduzida distorção harmônica total (THD - *Total Harmonic Distortion*) e atender normativas rigorosas de conexão com a rede (Friedli et al. (2014)).

Algumas topologias de retificadores unidirecionais três níveis incluem o retificador de Vienna (Kolar et al. (2002)), o retificador boost (Zhao et al. (1993)), os retificadores três níveis derivados de topologias multiníveis bidirecionais

(Heldwein et al. (2010); Corzine and Baker (2002)). Contudo, apesar dos benefícios, quando é requerido sintetizar um número de níveis maior, os retificadores multiníveis também requerem maior número de componentes, inclusive capacitores, o que incrementa a complexidade do controle e layout do circuito. Dessa forma, retificadores cinco níveis unidirecionais têm sido foco de estudo na literatura.

Em Zhao et al. (1993), Corzine and Baker (2002); Grbovic et al. (2016); Mukherjee and Kastha (2019b,a); Itoh et al. (2011) distintas topologias de retificadores cinco níveis trifásicos foram apresentadas, como mostrado nas Figuras 1(a)-(d). Contudo, embora formas de onda cinco níveis sejam sintetizadas, vários capacitores devem ser empregados, o que deriva em técnicas de regulação de tensão e/ou circuitos externos (Corzine and Baker (2002); Grbovic et al. (2016)). Em adição, alguns dispositivos estão submetidos a tensões elevadas, o que incrementa a soma total da tensão reversa da topologia, definido como *TSV*

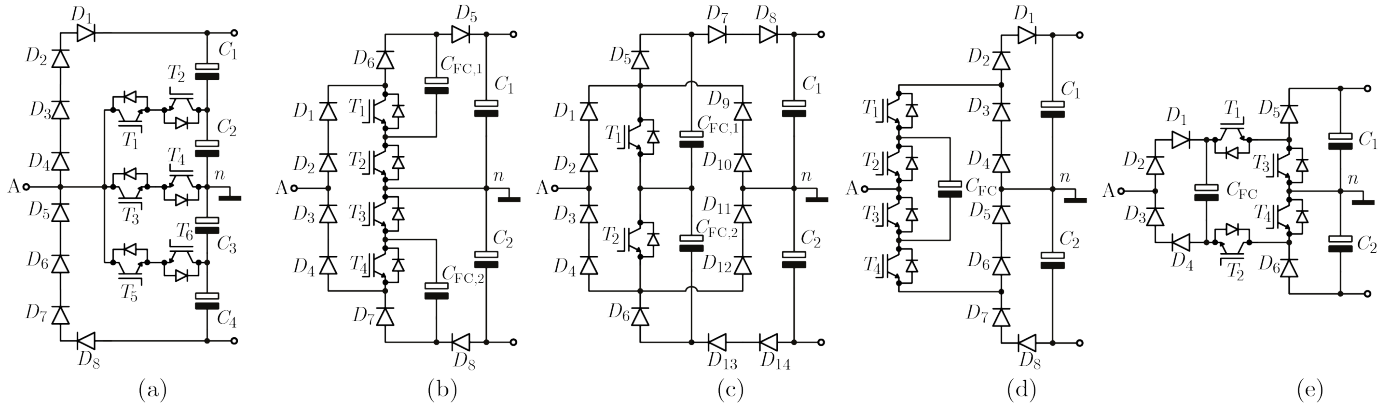


Figura 1. Retificadores unidirecionais cinco níveis. (a) Apresentado em Grbovic et al. (2016), (b) apresentado em Mukherjee and Kastha (2019b), (c) apresentado em Mukherjee and Kastha (2019a), (d) apresentado em Itoh et al. (2011) e (e) retificador proposto.

(*Total Standing Voltage*). Isto reflete de algum modo nos custos introduzidos pelo circuito (Schweizer et al. (2013); Friedli and Kolar (2009)). Ainda, sempre que interruptores de maior tensão sejam operados na frequência do PWM (*Pulsed Width Moulation*), as perdas por comutação do circuito serão também incrementadas.

Considerando os aspectos antes mencionados, este trabalho propõe um topologia de retificador unidirecional cinco níveis, mostrado na Figura 1(e). O circuito exibe uma estrutura similar ao conversor cinco níveis em Pineda C. and Rech (2019) mas, neste trabalho, é explorada sua operação como retificador unidirecional. O circuito opera utilizando a técnica do capacitor chaveado com capacidade de regulação automática das tensões nos capacitores da estrutura e, portanto, não requer sensores ou estratégias de controle em malha fechada (Siwakoti (2018); Sandeep et al. (2019); Peng (2000); Barzegarkhoo et al. (2018); Pineda C. and Rech (2019)). Em adição, os dispositivos exibem tensões reversas menores, o que resulta na redução do número de componentes. Conseqüentemente o T_{SV} pode ser minimizado se comparado com outros retificadores sob condições de entrada similares.

Este trabalho é organizado como segue: a Seção 2 apresenta uma descrição da topologia proposta. A Seção 3 trata do princípio de operação. A Seção 4 descreve a estratégia de modulação e controle utilizada. A Seção 5 apresenta resultados de simulação e a Seção 6 conclui o trabalho.

2. DESCRIÇÃO DA TOPOLOGIA E ESTADOS DE OPERAÇÃO

O retificador proposto é derivado da topologia em (Pineda C. and Rech (2019)) considerando fluxo de potência unidirecional, assumindo que correntes senoidais são drenadas desde os terminais de cada fase na entrada e que uma carga é conectada no barramento CC na saída. O retificador proposto é mostrado na Figura 1(e). Em uma fase do circuito são usados seis diodos ($D_1 - D_6$), dos quais os pares $D_1 - D_2$ e $D_3 - D_4$ estão conectados em série. Adicionalmente, quatro interruptores ativos (T_1, T_2, T_3 e T_4) e um capacitor flutuante (C_{FC}) são também requeridos a cada fase. O barramento CC de saída é comum às três fases do retificador e é composto por dois capacitores C_1

Tabela 1. Comparação dos retificadores cinco níveis apresentados na Figura 1.

	(a)	(b)	(c)	(d)	(e) Proposta
N_I	6	4	2	4	4
T_{SV_I}	$4v_{DC}$	$2v_{DC}$	v_{DC}	$2v_{DC}$	$2v_{DC}$
N_D	8	8	14	8	6
T_{SV_D}	$4v_{DC}$	$4v_{DC}$	$7v_{DC}$	$4v_{DC}$	$3v_{DC}$
N_C	4	4	4	3	3
V_{out}	$2v_{DC}$	$2v_{DC}$	$2v_{DC}$	$2v_{DC}$	v_{DC}

e C_2 que formam o ponto intermediário n . Quando uma tensão de v_{DC} é definida no barramento CC, as tensões nos capacitores C_1 e C_2 são idealmente mantidas em $0,5v_{DC}$. Em adição, como será mostrado posteriormente, o capacitor flutuante é automaticamente regulado com uma tensão de v_{DC} . Com essa configuração de tensões todos os semicondutores na Figura 1(e) são submetidos a uma tensão máxima de $0,5v_{DC}$. É importante destacar que devido à conexão série de componentes, é possível utilizar dois diodos com uma tensão equivalente de v_{DC} para substituir os pares $D_1 - D_2$ e $D_3 - D_4$.

A Tabela 1 resume uma comparação básica entre retificadores cinco níveis (Figuras 1(a)-(d)) e o retificador proposto (Figura 1(e)). Todos os retificadores considerados sintetizam uma tensão com valor máximo de v_{DC} entre o terminal de fase na entrada e o terminal n . O número de interruptores (N_I), número de diodos (N_D) e número de capacitores (N_C) assim como a tensão de bloqueio total nos interruptores e diodos (T_{SV_I} e T_{SV_D}) são comparados.

A operação do retificador proposto é dada pela escolha adequada dos estados de condução dos interruptores a fim de sintetizar uma forma de onda com cinco níveis nas tensões de fase. A Figura 2 detalha os estados topológicos para cada nível de tensão. Primeiramente, durante os estados **A** e **F** o capacitor flutuante, que idealmente é carregado com uma tensão de v_{DC} , é conectado em série com o terminal n do barramento para sintetizar os níveis v_{DC} e $-v_{DC}$ no terminal A, como mostrado nas Figura 2(a) e (f). Em seguida, a Figura 2(b) e (e) detalha os estados de condução **B** e **E** que são empregados para gerar os níveis

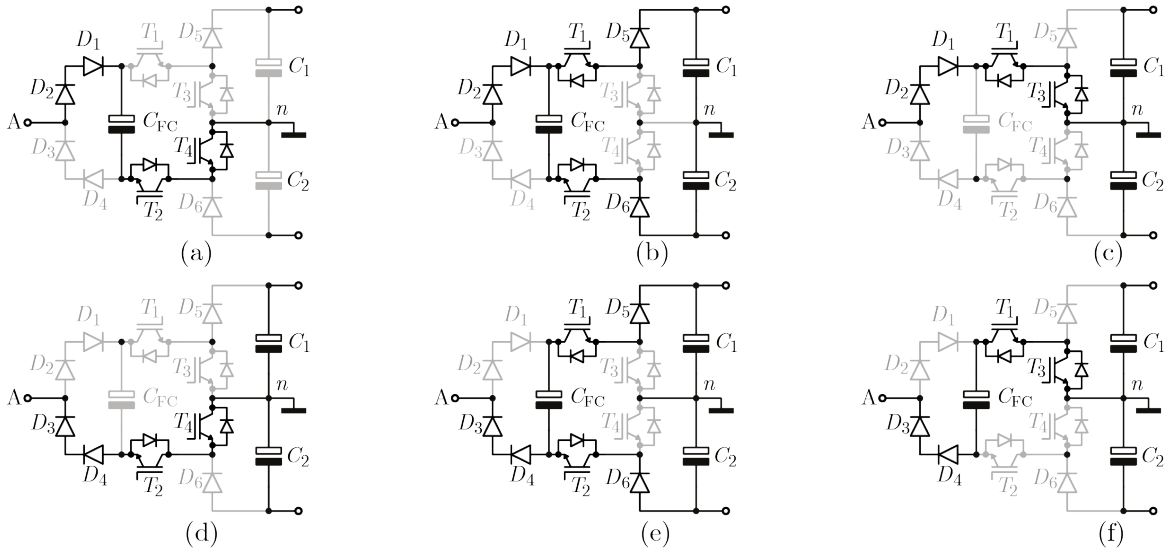


Figura 2. Estados de condução do retificador proposto. (a) Estado **A**; (b) estado **B**; (c) estado **C**; (d) estado **D**; (e) estado **E** e (f) estado **F**.

$0,5v_{DC}$ e $-0,5v_{DC}$, respectivamente. Por fim, existem dois estados de condução (**C** e **D**) para sintetizar o nível zero, como mostrado na Figura 2(c) e (d).

A regulação automática do capacitor flutuante C_{FC} ocorre durante os estados **B** e **E** na Figura 2. Se uma tensão nominal de v_{DC} é assumida no capacitor C_{FC} , então durante os estados **A** e **F** o capacitor flutuante é carregado pela corrente de entrada a um valor maior do que v_{DC} . Dessa forma, nos estados **B** e **E** (T_1 e T_2 acionados) os diodos D_5 e D_6 são diretamente polarizados, o que resulta na equalização de tensão em C_{FC} até atender o mesmo valor da tensão no barramento CC. Portanto, sempre que a sequência de estados implemente uma transição para os estados **B** e **E**, a regulação automática da tensão em C_{FC} pode ser realizada sem utilizar circuitos e/ou estratégias de controle adicionais.

Por outra parte, uma vez que existe uma conexão paralela entre o capacitor C_{FC} e o barramento CC, elevadas correntes podem resultar no instante da equalização de tensão. Contudo, as componentes parasitas do circuito como indutâncias das trilhas, resistência em condução dos componentes e do mesmo PCB acabam limitando os valores de corrente. Além disso, uma escolha adequada da frequência de operação e o valor da capacitância em C_{FC} podem contribuir a limitar o estresse de corrente nos componentes (Siwakoti (2018); Sandeep et al. (2019); Peng (2000); Barzegarkhoo et al. (2018)).

3. ESTRATÉGIA DE MODULAÇÃO E CONTROLE

3.1 Estratégia de modulação

Para a correta operação do retificador é definida uma sequência de estados baseado na Figura 2. Assim, os estados **A**, **B** e **C** são utilizados durante o semiciclo positivo da forma de onda cinco níveis, enquanto que os estados **D**, **E** e **F** são utilizados no semiciclo negativo, como mostrado na Figura 3(a). Adicionalmente, é observado na Figura 2 que os estados **C** e **D** sintetizam o mesmo nível de tensão no

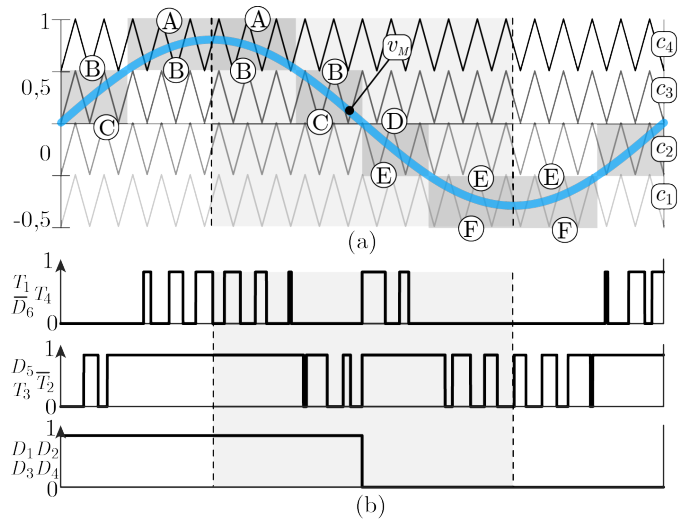


Figura 3. Estratégia de modulação. (a) Sequência de estados adotada e (b) estado de condução dos interruptores e diodos.

terminal de entrada, nível zero, portanto será selecionado o estado **C** durante o semiciclo positivo e o estado **D** durante o semiciclo negativo. Isto permite operar os pares de diodos $D_1 - D_2$ e $D_3 - D_4$ na frequência da fundamental, pois eles podem ser implementados com diodos de maior tensão o que conduz a reduzir as perdas por comutação.

Cada estado de condução na Figura 2 é gerado por meio da comparação de três sinais modulantes $v_{M,j}$ ($j = A, B, C$) com quatro portadoras deslocadas em amplitude e dispostas em fase (c_1, c_2, c_3 e c_4), resultando em um padrão PWM dado pelos estados de condução dos interruptores e diodos, como mostra a Figura 3(b).

3.2 Estratégia de controle

Com a estratégia de controle busca-se que as correntes de entrada tenham a menor distorção possível em quanto que a tensão total e as tensões parciais do barramento

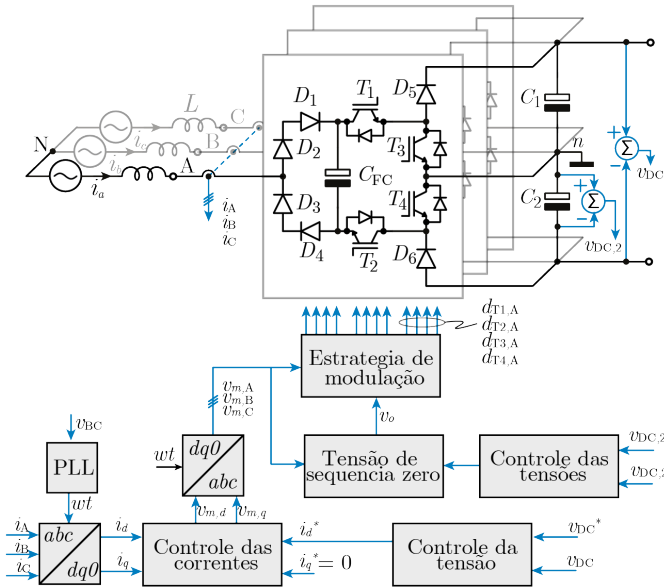


Figura 4. Estrutura de controle.

sejam reguladas no seu valor nominal, independente de variações de carga e tensão de entrada. Adicionalmente, um fator de potência próximo da unidade deve ser garantido ($\cos(\phi) > 0,99$). A Figura 4 apresenta a estrutura de controle adotada.

A estratégia de controle é baseada no sistema de coordenadas síncronas $dq0$, onde é usual que controladores do tipo PI sejam empregados para rastreamento da referência. A malha de controle interna do eixo em quadratura das correntes (i_q) deve ter uma referência nula a fim de assegurar que as correntes drenadas estejam em fase com as respectivas tensões de fase. Já a malha de controle de corrente do eixo direto (i_d) tem a referência imposta pela malha de controle externa, que é responsável pela regulação da tensão CC de saída (v_{DC}). Os modelos utilizados para o projeto dos controladores de corrente em ambos os eixos são apresentados na Figura 5 (Peng and Lai (1997); Zargari and Joos (1995)). Nesse, a indutância e resistência de interface com a rede são modelados por L e R , entanto que $w = 2\pi f$.

Uma malha de controle de balanço das tensões $v_{DC,1}$ e $v_{DC,2}$ nos capacitores que conformam o barramento é necessária. Dessa forma, uma vez que a tensão de saída já é regulada pela malha de controle de tensão de saída, apenas é necessário o controle de tensão em um capacitor, pois a regulação desse também conduz a compensar os desequilíbrios de tensão no outro capacitor. A estratégia de controle de desbalanço de tensões é baseada na injeção de uma tensão de sequência zero a fim de controlar o valor médio da corrente no ponto neutro n e garantir que a tensão no capacitor C_2 não se afaste do seu valor nominal (Pou et al. (2007); Grigoletto and Pinheiro (2009)). A tensão de sequência zero é então calculada e adicionada com os sinais modulantes de cada fase ($v_{m,A}$, $v_{m,B}$, $v_{m,C}$). Os sinais de comando ($d_{T1,j}$, $d_{T2,j}$, $d_{T3,j}$, $d_{T4,j}$) dos interruptores na respectiva fase ($j = A, B, C$) são obtidos por meio da estratégia de modulação antes exposta.

É importante destacar que não são projetadas malhas de controle de tensão para os capacitores flutuantes da

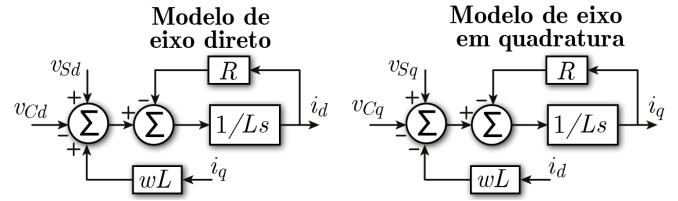


Figura 5. Modelo de correntes para o retificador proposto.

estrutura. Como mencionado antes, a regulação de tensão é realizada pela estratégia de modulação uma vez que implementa os estados **B** e **E** na sequência de comutação proposta. Dessa forma, é possível reduzir a complexidade na operação do retificador, pois a regulação de C_{FC} é realizada de forma automática independentemente nas três fases.

4. RESULTADOS DE SIMULAÇÃO

Resultados de simulação foram obtidos para demonstrar o funcionamento do retificador proposto. A Tabela 2 resume os principais parâmetros de simulação. A Figura 6(a) e (b) apresenta as tensões sintetizadas nos terminais de conexão com a rede, na entrada. Pode ser visto que cinco níveis de tensão são obtidos nas fases, o que demonstra a funcionalidade da estratégia de modulação proposta. Também, uma vez que os níveis estão igualmente espaçados, é possível concluir que as tensões nos capacitores são mantidas nos seus valores nominais, inclusive as tensões dos capacitores flutuantes em cada fase. Isto demonstra a capacidade de regulação automática dos capacitores flutuantes da estrutura.

A Figura 7 mostra resultados de simulação da corrente drenada da rede, que apresenta um formato próximo da senoide e em fase com a tensão de entrada do retificador. A taxa de distorção harmônica total (*THD*) obtida para as correntes drenadas em cada fase foi de 2,93%. Este resultado foi obtido empregando indutâncias de interface com a rede de 1,75 mH.

O desempenho do sistema de controle foi testado por meio da variação de carga na saída. Um degrau de 25% para o 100% da carga nominal é aplicado em 1,5 s, logo de atender a operação em regime. A Figura 8 mostra a regulação de tensão nos capacitores da estrutura. É notado que após aplicar o degrau de carga, as tensões retomam seus valores nominais, 420 V na saída e 210 V nos capacitores C_1 e C_2 . A tensão nos capacitores flutuantes apresenta um comportamento similar com a tensão total de saída

Tabela 2. Especificações do retificador.

Parâmetro	Símbolo	Valor
Potência nominal	P_o	2,5 kW
Tensão de fase (RMS)	v_{An}	230 V
Tensão do barramento de CC	v_{DC}	420 V
Tensão do capacitor flutuante	v_{FC}	420 V
Índice de modulação	M	0,77
Frequência da fundamental	f_{lin}	50 Hz
Frequência de comutação	f_s	45 kHz

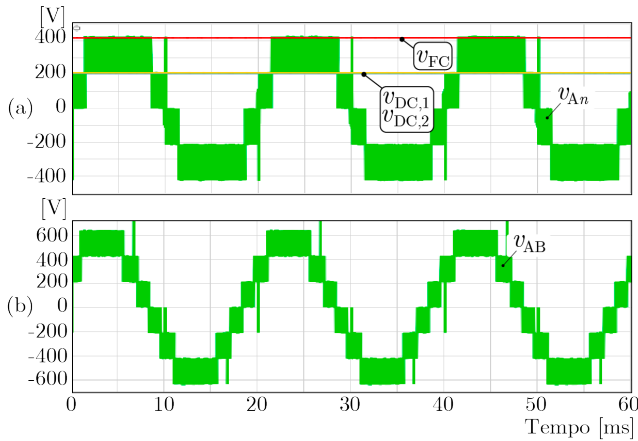


Figura 6. Formas de onda sintetizadas. (a) Tensão de fase e (b) tensão de linha.

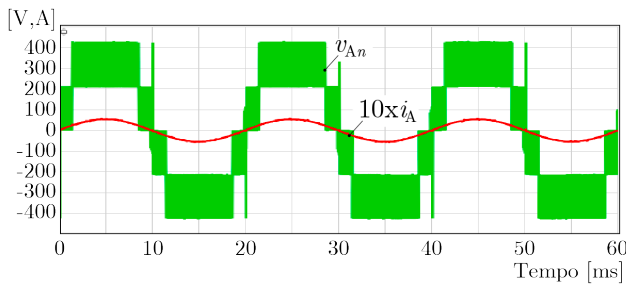


Figura 7. Tensão e corrente da fase A.

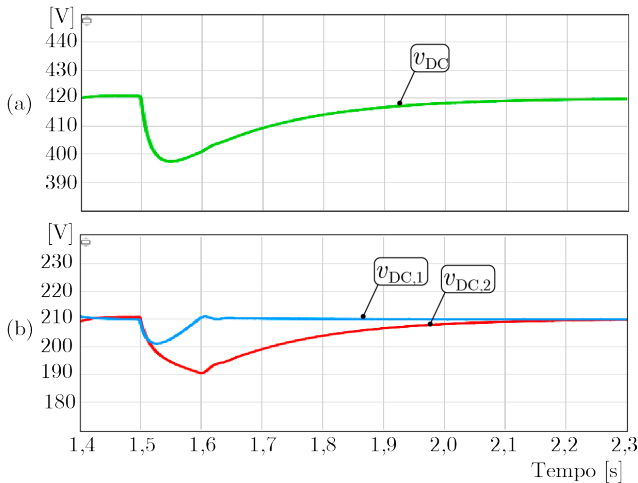


Figura 8. Regulação de tensão na saída. (a) Tensão no barramento CC de saída e (b) tensão em C_1 e C_2 .

Figura 8(a), porem sem utilizar malhas de controle de tensão.

Finalmente, a Figura 9 mostra as correntes drenadas na entrada, do lado da rede, no instante em que é aplicado o degrau de carga no barramento CC de saída. As formas de onda de corrente apresentam um formato próximo da senoide como esperado.

5. CONCLUSÃO

Este trabalho apresentou um retificador cinco níveis unidirecional com capacidade de regular a tensão nos capacitores

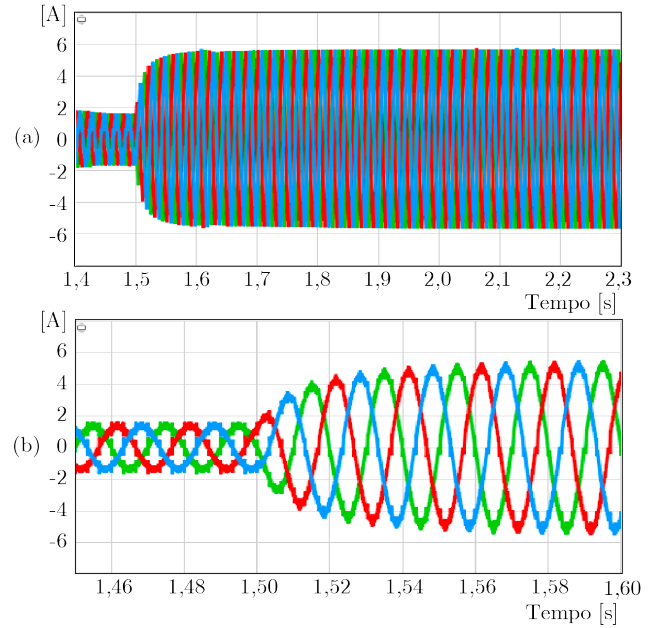


Figura 9. Correntes de entrada i_A , i_B , i_C .

res flutuantes da estrutura. Quando comparado com outros retificadores, a topologia proposta exibe uma estrutura simples com um número reduzido de semicondutores em série. Adicionalmente, foi mostrado que a estratégia de modulação proposta permite regular a tensão nos capacitores flutuantes sem requerimentos de circuitos ou estratégias de controle adicionais, demonstrando a funcionalidade da proposta.

AGRADECIMENTOS

O presente trabalho foi realizado com apoio da Coordenação de Aperfeiçoamento de Pessoal de Nível Superior – Brasil (CAPES/PROEX) – Código de Financiamento 001.

REFERÊNCIAS

- Barzegarkhoo, R., Moradzadeh, M., Zamiri, E., Madadi Kojabadi, H., and Blaabjerg, F. (2018). A new boost switched-capacitor multilevel converter with reduced circuit devices. *IEEE Transactions on Power Electronics*, 33(8), 6738–6754. doi:10.1109/TPEL.2017.2751419.
- Corzine, K. and Baker, J. (2002). Reduced-parts-count multilevel rectifiers. *IEEE Transactions on Industrial Electronics*, 49(4), 766–774. doi:10.1109/TIE.2002.801077.
- Friedli, T. and Kolar, J.W. (2009). A semiconductor area based assessment of ac motor drive converter topologies. In *2009 Twenty-Fourth Annual IEEE Applied Power Electronics Conference and Exposition*, 336–342. doi: 10.1109/APEC.2009.4802678.
- Friedli, T., Hartmann, M., and Kolar, J.W. (2014). The essence of three-phase PFC rectifier systems-part II. *IEEE Transactions on Power Electronics*, 29(2), 543–560. doi:10.1109/TPEL.2013.2258472.
- Grbovic, P.J., Lidozzi, A., Solero, L., and Crescimbin, F. (2016). Five-level unidirectional t-rectifier for high-speed gen-set applications. *IEEE Transactions on In-*

- dustry Applications*, 52(2), 1642–1651. doi:10.1109/TIA.2015.2504469.
- Grigoletto, F.B. and Pinheiro, H. (2009). Generalized pwm approach for dc capacitors voltage balancing in diode-clamped multilevel converters. In *2009 13th European Conference on Power Electronics and Applications*, 1–12.
- Heldwein, M.L., Mussa, S.A., and Barbi, I. (2010). Three-phase multilevel pwm rectifiers based on conventional bidirectional converters. *IEEE Transactions on Power Electronics*, 25(3), 545–549. doi:10.1109/TPEL.2009.2032365.
- Itoh, J.i., Noge, Y., and Adachi, T. (2011). A novel five-level three-phase pwm rectifier with reduced switch count. *IEEE Transactions on Power Electronics*, 26(8), 2221–2228. doi:10.1109/TPEL.2010.2090900.
- Kolar, J., Drofenik, U., and Zach, F. (2002). Current handling capability of the neutral point of a three-phase/switch/level boost-type PWM (VIENNA) rectifier. In *PESC Record. 27th Annual IEEE Power Electronics Specialists Conference*, volume 2, 1329–1336. IEEE. doi:10.1109/PESC.1996.548754. URL <http://ieeexplore.ieee.org/document/548754/>.
- Mukherjee, D. and Kastha, D. (2019a). A minimum switch five-level unidirectional rectifier without any voltage balancing and pre-charging circuitry. *IEEE Transactions on Power Electronics*, 34(12), 11605–11615. doi:10.1109/TPEL.2019.2904120.
- Mukherjee, D. and Kastha, D. (2019b). A reduced switch hybrid multilevel unidirectional rectifier. *IEEE Transactions on Power Electronics*, 34(3), 2070–2081. doi:10.1109/TPEL.2018.2837053.
- Peng, F.Z. and Lai, J.S. (1997). Dynamic performance and control of a static var generator using cascade multilevel inverters. *IEEE Transactions on Industry Applications*, 33(3), 748–755. doi:10.1109/28.585865.
- Peng, F. (2000). A generalized multilevel inverter topology with self voltage balancing. In *Conference Record of the 2000 IEEE Industry Applications Conference. Thirty-Fifth IAS Annual Meeting and World Conference on Industrial Applications of Electrical Energy (Cat. No.00CH37129)*, volume 3, 2024–2031 vol.3. doi:10.1109/IAS.2000.882155.
- Pineda C., W.A. and Rech, C. (2019). Modified five-level anpc inverter with output voltage boosting capability. In *IECON 2019 - 45th Annual Conference of the IEEE Industrial Electronics Society*, volume 1, 3355–3360. doi:10.1109/IECON.2019.8927473.
- Pou, J., Zaragoza, J., Rodriguez, P., Ceballos, S., Sala, V.M., Burgos, R.P., and Boroyevich, D. (2007). Fast-processing modulation strategy for the neutral-point-clamped converter with total elimination of low-frequency voltage oscillations in the neutral point. *IEEE Transactions on Industrial Electronics*, 54(4), 2288–2294. doi:10.1109/TIE.2007.894788.
- Sandeep, N., Ali, J.S.M., Yaragatti, U.R., and Vijayakumar, K. (2019). A self-balancing five-level boosting inverter with reduced components. *IEEE Transactions on Power Electronics*, 34(7), 6020–6024. doi:10.1109/TPEL.2018.2889785.
- Schweizer, M., Friedli, T., and Kolar, J.W. (2013). Comparative evaluation of advanced three-phase three-level inverter/converter topologies against two-level systems. *IEEE Transactions on Industrial Electronics*, 60(12), 5515–5527. doi:10.1109/TIE.2012.2233698.
- Siwakoti, Y.P. (2018). A new six-switch five-level boost-active neutral point clamped (5l-boost-anpc) inverter. In *2018 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2424–2430. doi:10.1109/APEC.2018.8341356.
- Zargari, N. and Joos, G. (1995). Performance investigation of a current-controlled voltage-regulated pwm rectifier in rotating and stationary frames. *IEEE Transactions on Industrial Electronics*, 42(4), 396–401. doi:10.1109/41.402479.
- Zhao, Y., Li, Y., and Lipo, T. (1993). Force commutated three level boost type rectifier. In *Conference Record of the 1993 IEEE Industry Applications Conference Twenty-Eighth IAS Annual Meeting*, 771–777 vol.2. doi:10.1109/IAS.1993.298866.