

DESENVOLVIMENTO E REALIZAÇÃO DE UM OSCILADOR TRIFÁSICO SENOIDAL DE REFERÊNCIA BASEADO EM FPGA – UMA EXPERIÊNCIA DE APRENDIZAGEM AUTÊNTICA

JOSÉ R. QUEZADA, FELIPE P. ALVES

Laboratório de Desenvolvimento de Objetos, Modelos e Protótipos Inovadores de Aprendizado para apoio ao ensino da Eletrônica de Potência e Instrumentação (LabMOPA- EPI), Depto. de Engenharia Elétrica, Universidade Federal do Maranhão

Caixa Postal 65080-805, São Luís, MA, Brasil

E-mails: jrkezada@yahoo.com, felipealves013@gmail.com

Abstract— This paper presents a proposal for the application of authentic learning to support the practical content (laboratory) of the Power Electronics discipline of the Electrical Engineering course of the Federal University of Maranhão. This experimental teaching intend itself as innovative when trying to expose the student in a real project situation, closely related to this area of knowledge, making him the protagonist of his education changing the scenario of study in the classroom. From the development of the design cycle of a Three-Phase Sine Wave Reference Oscillator using the tools available in the National Instruments MULTISIM, the SPICE Capture / Simulation and the Programmable Logic Devices Design (PLD Design) Co-simulation tool. It propose to perform a technologically new development for this functional block using Hardware Description techniques and Tools, and its synthesis in the DIGITAL ELECTRONICS FPGA BOARD Platform, for NI-ELVIS II. The proposal is a product of the Laboratory for Development of Learning Objects, Models and Innovative Prototypes to support the teaching of Power Electronics and Instrumentation (LabMOPA-EPI), Department of Electrical Engineering of UFMA. LabMOPA-EPI has its origin motivated within the CAPES-DED and ABENGE initiative, called the Distance Learning National Engineering Network Program of the Open University System of Brazil - UABEng, which took place in 2014, and follows the guideline of producing Material and Methodologies to support the teaching of Electrical Engineering, in the experimental teaching of Power Electronics.

Keywords – Power Electronics, Authentic Learning, Reference Oscillator, Hardware Description, PLD Design.

Resumo – Neste trabalho é apresentada uma proposta de aplicação de aprendizagem autêntica para apoio no conteúdo prático (laboratório) da disciplina Eletrônica de Potência do curso de Engenharia Elétrica da Universidade Federal do Maranhão. Este ensino experimental se propõe inovador ao intentar expor o aluno em uma situação de projeto real, intimamente relacionada com a área de conhecimento, tornando-o protagonista de sua educação mudando o cenário de estudo em sala de aula. A partir do desenvolvimento do ciclo de projeto de um Oscilador Trifásico Senoidal de Referência, fazendo uso das ferramentas disponibilizadas no MULTISIM, da National Instruments, a Captura/Simulação SPICE e a ferramenta de cossimulação Programmable Logic Devices Design (PLD Design), propõe-se realizar um desenvolvimento tecnologicamente atualizado desse bloco funcional fazendo uso de técnicas de modelamento e descrição de Hardware, e sua síntese na Plataforma DIGITAL ELECTRONICS FPGA BOARD, para NI-ELVIS II. A proposta é um produto do Laboratório de Desenvolvimento de Objetos, Modelos e Protótipos Inovadores de Aprendizado para apoio ao ensino da Eletrônica de Potência e Instrumentação (LabMOPA- EPI), do Departamento de Engenharia de Eletricidade da UFMA. O LabMOPA-EPI tem sua origem motivada dentro da iniciativa CAPES-DED e ABENGE, denominada de: Programa de Engenharia a Distância em Rede Nacional do Sistema Universidade Aberta do Brasil – UABEng, que ocorreu no ano de 2014, e segue a diretriz de produzir material e metodologias para apoio ao ensino de Engenharia Elétrica, no ensino experimental de Eletrônica de Potência.

Palavras-chave— Eletrônica de Potência, Aprendizagem Autêntica, Oscilador de Referência, Descrição de Hardware, PLD Design.

1 Introdução

Na Eletrônica de Potência (EP), a maturidade acadêmica requerida dos estudantes de Engenharia Elétrica aliado ao seu caráter multidisciplinar, são fatores que dificultam o aprendizado a fim de que os mesmos logrem o pleno entendimento dos assuntos abordados em uma primeira disciplina nessa área. O problema se agrava em atividades práticas, que demandam a disponibilidade de uma infraestrutura de laboratório com características específicas e que nem sempre está disponível (Santos Filho & Pinto, 2005) (Huselstein et al, 2006).

Os avanços tecnológicos acelerados na área impõem maior rigor na disponibilização dos Recursos de Apoio Didático, tanto do ponto de vista da abordagem do conteúdo, quanto da forma, pois devem ser concebidos de forma a facilitar a construção do conheci-

mento e mediar a interlocução entre estudante e professor e, ainda, desenvolver habilidades e competências específicas. Em atividades práticas as demandas por experiências de Aprendizagem Autêntica são cada vez mais uma necessidade dentro da sala de aula. De acordo com (Brown et al, 1989):

A aprendizagem autêntica situa os alunos em contextos de aprendizagem onde são encontradas atividades que envolvem problemas e investigações reflexivas e que são susceptíveis de serem enfrentadas dentro de seu mundo real em um contexto profissional.

Os autores (Herrington & Oliver, 2000) identificaram nove características importantes da aprendizagem autêntica:

1. Contextos autênticos refletem na forma como o conhecimento irá ser utilizado na vida real.
2. Atividades autênticas envolvem problemas e investigações complexas e ainda a serem definidas.

3. Possibilita o acesso ao trabalho de peritos que permitem a modelagem de processos.
4. Permite desenvolver múltiplos papéis e perspectivas fornecendo caminhos de soluções alternativas.
5. Permite a abordagem colaborativa, possibilitando a construção social do conhecimento.
6. Oportuniza a reflexão que envolve a metacognição.
7. Oportuniza articulações de forma a permitir que o conhecimento tácito seja explicitado.
8. Oportuniza o processo de contestação e críticas ao professor em momentos cruciais do processo de ensino/aprendizado.
9. Permite a realização de uma avaliação autêntica que reflete a forma como o conhecimento é avaliado na vida real.

O trabalho aborda e explora, além de experiências de aprendizagem autêntica, o desenvolvimento de um Bloco Funcional usado na área de EP, os Osciladores de Referência (ORs). Os ORs encontram ampla aplicação em EP, tanto para realizar Controladores Eletrônicos que incorporam a técnica de Controle de Fase em Conversores CA-CC e CA-CA (Trzynadlowski, 2010), como para Controladores Escalares para Inversores que incorporam as técnicas de controle *Pulse Width Modulation (PWM)* Senoidal (*SPWM*) ou *PWM* Senoidal com Injeção de Terceiro Harmônico (*THIPWM*) (Rao et al, 2014).

A partir do estudo de um Oscilador Trifásico Senoidal de Referência (OTSR) (Lima, 1989), realizado com uso de lógica discreta, e utilizando as ferramentas de projeto disponibilizadas no ambiente *MULTISIM*, que é um software de simulação e de projeto de circuitos padrão do setor para eletrônica analógica, digital e de EP, a Captura/Simulação *SPICE* e a ferramenta de cossimulação *Programmable Logic Devices Design (PLD Design)* (National Instruments, 2010), propõe-se realizar um desenvolvimento tecnologicamente atualizado desse oscilador fazendo uso de técnicas de modelamento *SPICE* e de descrição de *Hardware*, em *VHSIC Hardware Description Language (VHDL)*, e sua síntese na Plataforma *DIGITAL ELECTRONICS FPGA BOARD (DEFB)*, para *NI-ELVIS II* (National Instruments, 2012).

2 Ferramentas e Métodos

2.1 PLD Design

O ambiente de cossimulação *PLD Design*, parte integrante *NI-MULTISIM (Student Edition)* (National Instruments, 2018), evidencia aos alunos um ciclo de projeto de sistemas digitais baseados em *Field Programmable Gate Arrays (FPGAs)*, mas fazendo referência e uso de lógica discreta estudada em disciplinas básicas de Circuitos Digitais. Esta ferramenta de cossimulação encurta o ciclo de projeto de sistemas baseados em *FPGA*, pois isenta parcialmente o aprendizado e total domínio de uma Linguagem de Descrição de *Hardware (HDL)*, uma vez que os sistemas sendo

projetados são modelados diretamente em lógica discreta, usando como componentes básicos blocos lógicos das famílias de integrados utilizados em cursos básicos de circuitos digitais (por exemplo: *Transistor-Transistor-Logic, CMOS-Digital*).

O *PLD Design*, em conjunto com a ferramenta *Xilinx Integrated Software Environment (ISE)*, que faz uso da linguagem *VHDL*, permite a construção de uma estrutura lógica (programada) a partir do uso de componentes de lógica discreta e que resulta em um Arquivo de Descrição de *Hardware* necessário para síntese do *Hardware* a ser gravado na *FPGA* do *DEFB*.

Dentro do ambiente *PLD Design* é disponibilizado um Banco de Dados de Componentes Específicos e especializados, gerados a partir de estruturas comuns de lógica discreta que, além de possuírem seu modelo *SPICE* que permite sua captura e simulação, possuem também modelagem em *VHDL* equivalente. Para a síntese de um projeto, é gerado o código *VHDL* equivalente de todo o sistema, considerando todos os componentes e suas conexões e, através da ferramenta *ISE*, gerado o bit file a ser gravado na *FPGA* do *DEFB*, uma das *Target* já cadastradas no ambiente de cossimulação para este fim.

2.2 Targets de Desenvolvimento suportadas pelo PLD Design

O ambiente de cossimulação *PLD Design*, na última versão disponível do *NI-MULTISIM* (versão 14.1 *Educational Edition*), tem suporte para as seguintes Plataformas de Desenvolvimento (*Targets*):

1) Para uso com ferramentas *Xilinx ISE 14.7* (para *FPGAs*) e *Drivers DIGILENT*:

- a) Plataforma *Basics Digilent*.
- b) Plataforma *Basys Digilent 2*.
- c) Plataforma *Cmod Digilent S6*.
- d) Plataforma *Digilent Nexys 2*.
- e) Plataforma *Nexys 3 Digilent*.
- f) Plataforma *Nexys 4 Digilent*.
- g) Plataforma *NI Digital Electronics FPGA Board*, para *NI-ELVIS*.
- h) Plataforma *NI Digital Electronics FPGA Board (7 segmentos)*, para *NI-ELVIS*.

2) Para uso com ferramentas *Xilinx VIVADO 2014.4* (para *XILINs SoCs*) e *Drivers DIGILENT*:

- a) Plataforma *Basys 3 Digilent*.
- b) Plataforma *Digital System Development Board Digilent*, para *NI-ELVIS*.
- c) Plataforma *Cmod Digilent A7*.
- d) Plataforma *Arty Digilent*.

3) Para de outras Plataformas de Desenvolvimento, é necessário registrá-las no ambiente de cossimulação.

2.3 Component Wizard

O ambiente de cossimulação do *PLD Design* também disponibiliza o Assistente de Criação de

Componentes ou *Component Wizard*, que auxilia na criação de componentes personalizados ou inexistentes dentro do ambiente, para adição à Base de Dados de cossimulação de componentes específicos. Observa-se que para modelar um componente no ambiente *PLD Design* é necessário: (a) construir seu modelo de simulação *SPICE*, e; (b) construir, também, seu código *VHDL* equivalente (Chu, 2008). Este último destinado a exportar o *hardware* programado para o dispositivo programável da *Target* em uso no ambiente. Ambos os modelos/códigos (*Spice* e *VHDL*) podem ser elaborados com ajuda da ferramenta de software *MATLAB*, como verificaremos mais adiante.

2.4 A Plataforma de Desenvolvimento DEFB

Neste trabalho utilizamos a Plataforma de Desenvolvimento *DEFB*, de fabricação *Xilinx*. O *DEFB* foi desenvolvido especificamente para uso com a Plataforma de Experimentação e Aquisição de Dados *NI-ELVIS II*. A escolha desta plataforma de desenvolvimento está relacionada à sua disponibilidade no Laboratório Multidisciplinar do DEEE / UFMA (LMD). O *DEFB* possui um *FPGA Xilinx XC3S500E Spartan-3E* (National Instruments, 2009). Além da *FPGA*, a Plataforma contém outros componentes/recursos de suporte ao desenvolvimento de sistemas baseados em *FPGA* (National Instruments, 2012).

3 O Oscilador Trifásico Senoidal de Referência – Sistema Legado

Para o desenvolvimento do OTSR Baseado em *FPGA* considerou-se, inicialmente, a análise de um sistema desenvolvido em *Lógica Discreta* (LIMA, 1989), com o objetivo de estudar o seu funcionamento e identificar seus blocos construtivos sobressalentes para então reproduzi-lo, em *Lógica Programada*, dentro do ambiente *PLD Design*.

Os blocos construtivos sobressalentes do OTSR legado são indicados na Figura 1. A proposta do sistema legado gira em torno da ideia de reproduzir, digitalmente, pelo uso de lógica discreta, um Ciclo Operacional de um Sistema Equilibrado de Sinais Trifásicos, para posterior recuperação e uso como Sinais de Referência e, ou, Sincronização, em controladores eletrônicos para uso com Conversores Estáticos de Energia. Isto foi realizado gerando uma tabela de Amostras Digitais para cada sinal de referência. No sistema legado, cada amostra tem resolução de 8 bits para amplitude, e são geradas 2^8 amostras por ciclo, o que deu origem a uma tabela de 256 amostras, por fase. As tabelas geradas foram gravadas em uma memória do tipo *ERASABLE-PROGRAMMABLE-READ-ONLY-MEMORY (EPROM)* com capacidade de 2024 bytes, e organizadas em bytes consecutivos de amostras por fase, para cada uma das posições de amostragem geradas, isto é ($A_0, B_0, C_0, A_1, B_1, C_1 \dots, A_{255}, B_{255}, C_{255}$), conforme indicado na Figura 2.

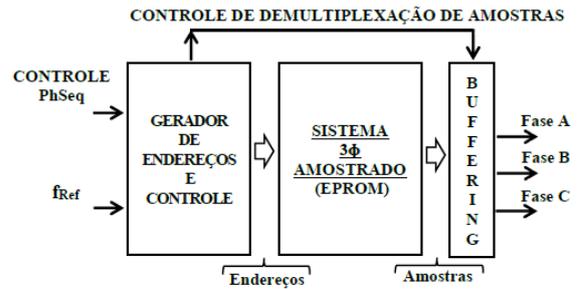


Figura 1. Diagrama de Blocos do Oscilador Trifásico Senoidal de Referência Legado.

	Memória EPROM	Amostras
UP	Endereço 0	Amostra A_0
	Endereço 1	Amostra B_0
	Endereço 2	Amostra C_0
	.	.
	.	.
	.	.
	Endereço 2FD	Amostra A_{255}
	Endereço 2FE	Amostra B_{255}
	Endereço 2FF	Amostra C_{255}
DOWN		

Figura 2. Organização das amostras na Memória EPROM do Sistema Legado.

Para fins de recuperar as amostras gravadas é provido um circuito Gerador de Endereços (GE). Para cada amostra gravada na *EPROM* corresponde, de forma unívoca, apenas um endereço. O total de amostras gravadas na memória é de $2^8 \times 3$. Assim, a primeira especificação de requisitos do sistema legado diz respeito à faixa de contagem do GE. Isto é, o mesmo deve operar na faixa de endereços compreendida entre 000_{HEX} a $2FF_{HEX}$.

O GE, no projeto estudado, foi realizado com Contadores Síncronos de 4-Bits, do Tipo *Up-Down*, programáveis. Para fins de cobrir a faixa de endereçamento requerida (000_{HEX} a $2FF_{HEX}$), três contadores em cascata foram utilizados. Para realizar a primeira especificação de requisitos do GE foi utilizada a característica programável dos mesmos que, através de um circuito detector de limite de contagem, os contadores são inicializados para 000_{HEX} toda vez que o limite $2FF_{HEX}$ é atingido (no sentido de contagem *Up*). Observa-se que, para aproveitar a capacidade de contagem *Up* ou *Down* do GE, é necessário que o detector de limite de contagem seja projetado apropriadamente para que o GE seja inicializado corretamente em cada sentido de contagem demandado.

A segunda especificação de requisitos do sistema legado diz respeito à sua capacidade de poder alterar a sequência de fase do Sistema Equilibrado de Sinais Trifásicos, sempre que requerido. Isto é, operar ora na Sequência ABC ou, ora na Sequência ACB. No projeto legado esta especificação é atendida pelo controle da direção da contagem (*Up* ou *Down*) dos contadores que constituem o GE, como indicado na Figura 2.

A terceira especificação de requisitos do sistema legado diz respeito à possibilidade de inserir no OTSR a capacidade de realizar o ajuste da frequência do Sis-

tema Equilibrado de Sinais Trifásicos. No projeto legado, a velocidade de recuperação das amostras está relacionada à velocidade de geração dos endereços do GE que, por sua vez, está relacionada à f_{Ref} , vide Figura 1, que é a f_{Clock} dos contadores que constituem o GE. Quanto maior f_{Ref} , maior a velocidade de contagem e, conseqüentemente, maior a velocidade de recuperação das amostras, o que dá ao OTSR maior frequência operacional. Inversamente, quanto menor f_{Ref} , menor a frequência do OTSR.

Finalmente, o OTSR, no sistema legado, recupera as amostras de forma sequencial (A, B, C). Entretanto, para seu processamento, é necessário que essas amostras sejam isoladas ou demultiplexadas por fase. Esta funcionalidade é realizada no Bloco de *Buffering*.

O Bloco de *Buffering*, um arranjo de *Buffers* duplos (*In* e *Out*) por fase, independentes, executam as funções de *Hold/Up-Date*. Isto é, os *Buffers* de entrada (*In*) são mantidos (*Hold*), sequencialmente (A, B, C), sempre que os bytes das amostras por fase são recuperados (Ex. A_0 , B_0 , C_0). A cada ciclo de recuperação de amostras (Ex. A_0 à C_0), os *Buffers* de saída são atualizados (*Up-Date*), simultaneamente (ABC). As sinalizações e sequenciamento dos *Buffers* de entrada e de saída são realizados pelo Circuito de Controle de Demultiplexação de Amostras (CCDA), integrante do Bloco GE e Controle, cuja operação é sincronizada e comandada pelo sinal f_{Ref} .

4 O Oscilador Trifásico Senoidal de Referência - Novo Desenvolvimento

Foi realizada a análise do Sistema Legado com o objetivo de reproduzi-lo no ambiente *PLD Design*, em *Lógica Programada*, para sua posterior síntese.

A tabela de amostras digitais em *EPROM* no Sistema Legado, não pode ser realizada de forma direta no *PLD Design* visto que não existem memórias cadastradas em sua Base de Dados de Componentes Específicos. Desta forma, um novo componente, uma *Read-Only-Memory (ROM)*, precisou ser modelada, conforme indicado na Figura 3. Modelar uma memória *ROM* a partir de blocos lógicos básicos já cadastrados no *PLD-Design* mostrou-se uma solução complexa. Assim, foi adotado o modelamento de um novo componente pelo *Component Wizard*.

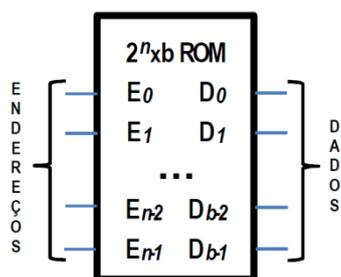


Figura 3. Componente a ser modelado – ROM $2^n \times b$.

Como já citado, para criar o novo componente *ROM* é necessário construir seu modelo *SPICE* e seu código

VHDL equivalente. Além de, neste caso específico, produzir e codificar os dados das amostras a serem gravadas nessas *ROMs*. Os modelamentos *Spice* e *VHDL* foram realizados com ajuda do *MATLAB*, conforme detalhado adiante. A tabela de amostras foi gerada contendo os Sinais de Referência na forma binária, e então construídos os códigos necessários para a gravação das *ROMs*.

Foram modelados três componentes *ROM*, um para cada uma das fases A, B e C. Cada *ROM* possui 256 amostras com 8 bits de resolução para amplitude. A Figura 4 indica a organização dessas *ROMs*.

UP	ENDEREÇO	ROM A	ROM B	ROM C
	Endereço 0	Amostra A_0	Amostra B_0	Amostra C_0
	Endereço 1	Amostra A_1	Amostra B_1	Amostra C_1
	Endereço 2	Amostra A_2	Amostra B_2	Amostra C_2

	Endereço 253	Amostra A_{253}	Amostra B_{253}	Amostra C_{253}
	Endereço 254	Amostra A_{254}	Amostra B_{254}	Amostra C_{254}
DOWN	Endereço 255	Amostra A_{255}	Amostra B_{255}	Amostra C_{255}

Figura 4. Organização das amostras nas *ROMs* do *PLD Design*.

O novo GE, como no Sistema Legado, foi realizado com Contadores Síncronos de *4-Bits*, do Tipo *Up-Down*, programáveis, já disponíveis no Banco de Componentes Específicos do *PLD Design*.

A primeira especificação de requisitos diz respeito à faixa de contagem do novo GE. Para cobrir esta faixa (0 a 255), foram necessários dois contadores em cascata, já que o GE é conectado simultaneamente às *ROM A*, *ROM B* e *ROM C*, relativas às três fases, endereçando simultaneamente as mesmas. Dessa forma, cada endereço gerado recupera, de forma unívoca e simultânea, uma amostra de cada fase, não sendo necessário que estas sejam isoladas ou demultiplexadas para posterior processamento, conforme indicado na Figura 5.

Para provisionar a capacidade de contagem cíclica no GE, crescente ou decrescente, foi adicionado um circuito detector de limite de contagem. Os contadores são inicializados em (0) sempre que o limite (255) é atingido (no sentido *UP*) e inicializados em (255) sempre que o limite (0) é atingido (no sentido *DOWN*).

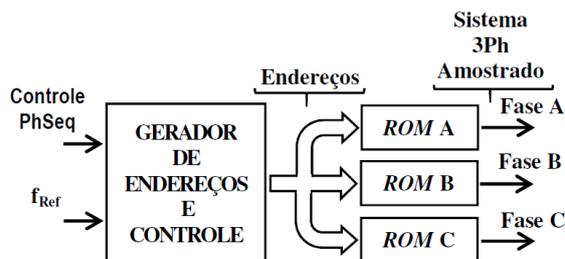


Figura 5. Diagrama de Blocos do Oscilador Trifásico Senoidal de Referência desenvolvido no *PLD Design*.

A segunda especificação de requisitos do novo GE, como no OTRS legado, é atendida pelo controle da direção da contagem (*Up* ou *Down*), realizado pelo sinal *PhSeq*, vide Figura 5.

A terceira especificação de requisitos, o controle da frequência do Sistema de Referência. Há no DEFB duas maneiras de obter um *Clock*: (a) usando um oscilador interno (*sys_clk_pin*); (b) usando o *Clock* externo (*RotClk*). Foi escolhido utilizar *RotClk*, já que a frequência pode ser controlada manualmente através do botão rotativo, obtendo frequências na faixa de 1 Hz a 5 MHz. A velocidade de recuperação das amostras está relacionada à f_{ref} do sistema da Figura 5. A relação da frequência dos Sinais de Referência é igual a f_{ref} dividido pelo N° de amostras (256), a faixa de frequência utilizando (*RotClk*) é 1/256 Hz a 5M/256 Hz, ou seja, entre 3,9 mHz e 19,5 kHz.

4.1 Gerando as Amostras dos Sinais de Referência

Para realizar a gravação das ROMs é necessário amostrar, quantizar e a codificar os sinais de referência.

Para isto, foi utilizado o software *MATLAB*. Foram obtidos os dados relativos a uma senoide amostrada e quantizada conforme já especificado. O algoritmo *MATLAB* utilizado foi:

```
n = 8;           % Amostragem no tempo.
m = 8;           % Quantização (Amplitude).
d = +0*pi/180;  % Defasamento (Radianos).
t = 0:2^n-1;
x=(2^m-1)/2*sin(2*pi*t/(2^n-1)+d)+(2^m-1)/2;
x=round(x);
```

No código acima, o número de *bits* para a amostragem e para a quantização são definidos por *n* e *m*, respectivamente, foram utilizados 8 *bits* para ambos. Ao final da execução, a matriz *x* conterá 256 amostras, consistindo em valores inteiros entre 0 e 255. Para obter amostras das três fases, o algoritmo foi executado três vezes, alterando o valor do defasamento (*d*) para +120 e -120.

4.2 Gerando modelo de simulação SPICE da ROM

O modelo de simulação *SPICE* de um componente é usado pelo *PLD Design* para prever seu comportamento dentro do sistema em desenvolvimento. Na ROM modelada, o mesmo determina o seu comportamento (*behavior*), definindo o número de entradas e saídas e determinando, de forma unívoca, uma saída para cada de entrada. Os dados obtidos a partir da amostragem, quantização e a codificação dos sinais de referência, através do algoritmo *MATLAB* descrito acima, foram transferidos ao modelo *SPICE* da ROM através da diretiva *table 256*, para cada ROM modelada (Fases A, B e C).

O Código *SPICE* relativo a uma das ROMs modeladas, que corresponde a uma das fases dos sinais de referência, pode ser visto a seguir:

```
+( behavior= "
+/inputs A0 A1 A2 A3 A4 A5 A6 A7
+/outputs D0 D1 D2 D3 D4 D5 D6 D7
+/table 256
+;A AAAAAA DDDDDDDD
+;0 1 2 3 4 5 6 7 0 1 2 3 4 5 6 7
+ 0 0 0 0 0 0 0 0 1 0 0 0 0 0 0 0
+ 1 0 0 0 0 0 0 0 1 0 0 0 0 0 1 1
...
+ 1 1 1 1 1 1 1 1 0 1 1 1 1 1 1 1
+")
```

4.3 Gerando o código VHDL equivalente da ROM

No *Component Wizard*, existe limitação de 65000 caracteres para geração de um modelo *VHDL*. Para o modelamento da ROM, foram investigados três métodos: (a) Expressões booleanas; (b) *Case Statement*, e; (c) Matriz de Inteiros. O melhor resultado obtido foi com a Matriz de Inteiros. A ROM modelada teve apenas 1918 caracteres.

O Algoritmo *MATLAB* indicado abaixo gera apenas uma linha de código em *VHDL*, a qual define uma matriz (nomeada ROM) com todas as amostras de uma senoide (contidas na matriz *x*), observe que $n=8$ bits:

```
fprintf('^n constant ROM_%i: ROM := (', 2^n );
for i=1:2^n
    fprintf(' %i', x(i) );
    if(i<2^n)
        fprintf(', ');
    end
end
end
```

O Código *VHDL* resultante é:

```
library.ieee; use ieee.std_logic_1164.all;
use.IEEE.Em umeric_std.all;

entity rom_256x8 is port(
E0: in STD_LOGIC; S0: out STD_LOGIC; E1: in
STD_LOGIC; S1: out STD_LOGIC;
E2: in STD_LOGIC; S2: out STD_LOGIC; E3: in
STD_LOGIC; S3: out STD_LOGIC;
E4: in STD_LOGIC; S4: out STD_LOGIC; E5: in
STD_LOGIC; S5: out STD_LOGIC;
E6: in STD_LOGIC; S6: out STD_LOGIC; E7: in
STD_LOGIC; S7: out STD_LOGIC);
end rom_256x8;

architecture arq of rom_256x8 is
signal E : std_logic_vector(7 downto 0); signal S
: std_logic_vector(7 downto 0);
signal E_int: integer range 0 to 255; signal S_int:
integer range 0 to 255;
type ROM is array (0 to 255) of integer range 0 to
255;
```

```
constant ROM_256: ROM :=
(128,131,134,137,140,143, ... ,112,115,
118,121,124,127);
```

```
begin
```

```
E_int <= to_integer(unsigned(E));
```

```
S <= std_logic_vector(to_unsigned(ROM_256(E_int), 8));
```

```
E(0) <= E0; S0 <= S(0); E(1) <= E1; S1 <= S(1);
```

```
E(2) <= E2; S2 <= S(2); E(3) <= E3; S3 <= S(3);
```

```
E(4) <= E4; S4 <= S(4); E(5) <= E5; S5 <= S(5);
```

```
E(6) <= E6; S6 <= S(6); E(7) <= E7; S7 <= S(7);
```

```
end arq;
```

A partir destes códigos, foi possível modelar ROMs contendo as três fases de um Sistema Trifásico Equilibrado.

5 Resultados Obtidos

O OTSR projetado foi simulado, sintetizado e gravado na FPGA da Plataforma DEFB. Nas Figuras 7 e 8 são apresentados os resultados de simulação para Sinais de Referência Senoidais e com Injeção de Terceiro Harmônico, respectivamente. Nas Figuras 9 e 10 são apresentados os oscilogramas correspondentes. Os resultados experimentais apresentados foram obtidos com conversores D/A R2R e um BitScope Micro - USB Mixed Signal Oscilloscope, Waveform, Clock Generator, and Logic Analyzer, um periférico USB de aquisição de sinais analógicos e digitais projetado para uso com PC.

Observe que as Figuras 8 e 10 indicam os sinais simulados e recuperado de uma senoide com injeção de terceiro harmônico. A Figura 6 indica como a síntese deste sinal ocorre.

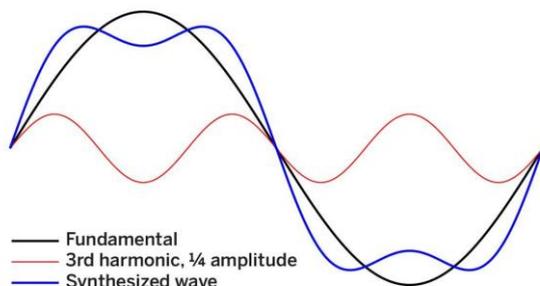


Figura 6. Síntese de um Sinal Senoidal com injeção de Terceiro Harmônico (Disponível: <https://makezine.com/projects/make-35/advanced-arduino-sound-synthesis/>).

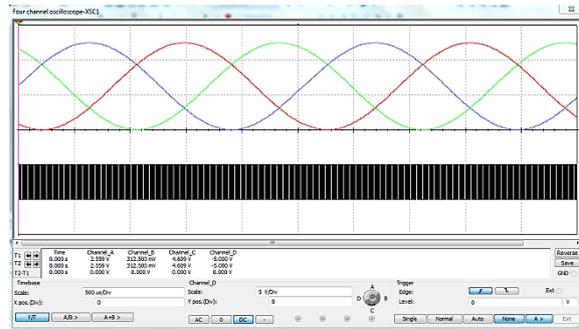


Figura 7. OTSR, Simulação Spice – (a) Eixo superior: Sinais de Referência Senoidais ($f = \frac{100k}{256} \cong 390Hz$). (b) Eixo inferior: f_{Ref} (Clock 100kHz).

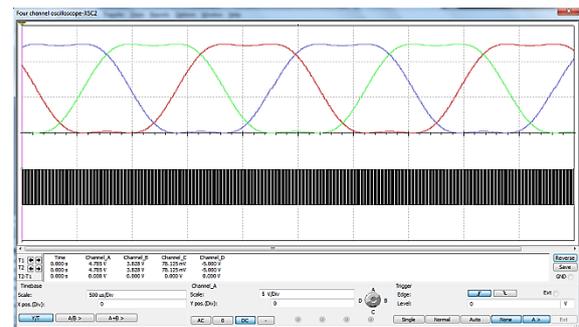


Figura 8. OTSR, Simulação Spice – (a) Eixo superior: Sinais de Referência Senoidais com Injeção de Terceiro Harmônico ($f = \frac{100k}{256} \cong 390Hz$). (b) Eixo inferior: f_{Ref} (Clock 100kHz).

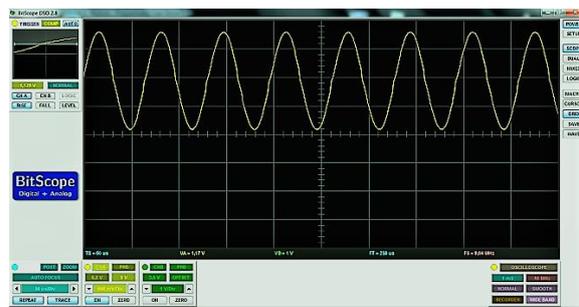


Figura 9. OTSR, Oscilograma – Sinal de Referência Senoidal ($f \cong 15kHz$; Clock $\cong 3,84MHz$) usando um Conversor DA R-2R.

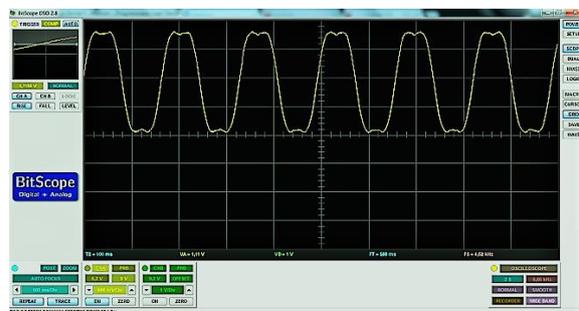


Figura 10. OTSR, Oscilograma – Sinal de Referência Senoidal ($f \cong 6Hz$; Clock $\cong 1,5kHz$) com Injeção de Terceiro Harmônico usando um Conversor DA R-2R.

6 Aplicação do OTSR

A partir deste trabalho o LabMOPA-EPI passa a produzir subsídios para o desenvolvimento de projetos

de Controladores Digitais Unificados para uso no ensino prático da Eletrônica de Potência, fazendo uso de ferramentas tecnológicas atuais e estruturas *FPGAs*. Uma aplicação imediata do OTSR foi realizada no projeto a seguir:

(a) **O Desafio:** Idealizar experiências de “aprendizagem autêntica”.

(b) **A Solução:** Formular projetos de controladores digitais para baseados em *FPGA*, realizados fazendo uso da ferramenta de cossimulação *PLD Design* do *NI-MULTISIM*.

(c) **Os Resultados:** Controlador Digital Unificado, configurável, baseado em *FPGA*, para estudo de Conversores CC-CA (Inversores).

O projeto foi concluído pelos autores e utiliza o OTSR como bloco funcional básico para geração de sinais de *Trigger* do Bloco *SPWM/THIPWM* (Alves, 2018), a Figura 11 indica o Diagrama de Blocos do Controlador desenvolvido, suas topologias e modos operacionais básicos. O projeto do Controlador Unificado será objeto de outro trabalho.

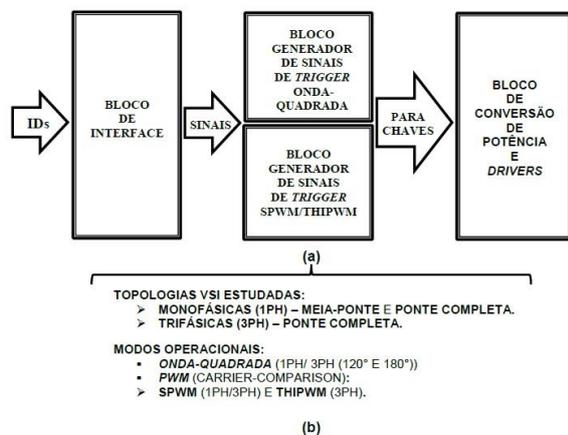


Figura 11 Controlador *FPGA* Unificado Projetado para o Estudo de Inversores *VSI* - Ciclo de Projeto *PLD-Design*. (a) Elementos Básicos do Diagrama de Blocos Geral. (b) Topologias Estudadas e Modos de Operação propostos.

7 Conclusão

O LabMOPA-EPI tem sua origem motivada dentro da iniciativa CAPES-DED e ABENGE, denominada de: Programa de Engenharia a Distância em Rede Nacional do Sistema Universidade Aberta do Brasil – UABEng, que ocorreu no ano de 2014, e segue a diretriz de produzir material e metodologias para apoio ao ensino de Engenharia Elétrica, no ensino experimental de Eletrônica de Potência e Instrumentação Eletrônica, para programas de Ensino da Engenharia Elétrica nas modalidades presenciais, híbridos e EaD. Além da produção de material de experimentação que insira experiências de Aprendizagem Autêntica, no ensino da Eletrônica de Potência e Instrumentação Eletrônica. O LabMOPA-EPI trabalha na inserção de

novas metodologias no processo de ensino-aprendizado da Engenharia, como as Metodologias Ativas, com uma abordagem Construtivista.

A metodologia proposta neste trabalho se valeu de diversos recursos, tanto metodológicos quanto tecnológicos, no intuito de avançar na melhoria ou quiçá modificar a “sala de aula” dos cursos de Engenharia Elétrica, que hoje vão além do espaço físico da Universidade.

Os resultados obtidos permitem concluir que o uso da ferramenta *PLD Design*, em conjunto com a Plataforma de Desenvolvimento *DEFB*, constitui uma excelente metodologia e plataforma para conduzir experimentação laboratorial na área de Eletrônica de Potência, no que se refere a projetos baseados em *FPGA*. No entendimento dos autores, promove-se, assim, inovação educacional através da realização de experiências práticas de aprendizagem autêntica que inserem os estudantes dentro de um contexto mais atual e ajustado ao que deverá ser sua atuação como profissional das Engenharias, uma vez que:

1. O projeto desenvolvido se ajusta perfeitamente dentro de um contexto autêntico que, certamente, ira e refletir na forma como o conhecimento irá ser utilizado na vida real.
2. As atividades desenvolvidas ao longo da execução do ciclo de projeto se evidenciam como autênticas, uma vez que as mesmas envolvem problemas e investigações complexas para fins de desenvolver um projeto tecnologicamente atualizado e real do OTSR.
3. O projeto possibilitou o acesso ao trabalho de peritos que permitiram a modelagem do OTSR dentro de uma nova perspectiva tecnológica, a de uso de metodologias e ferramentas para desenvolvimento de projetos baseados em *FPGA*.
4. O projeto permitiu desenvolver múltiplos papéis e perspectivas fornecendo caminhos de soluções alternativas, como é o caso do processo de modelamento de um novo componente para inserção do mesmo dentro do ambiente *PLD Design*, a memória *ROM*.
5. Permitirá a abordagem colaborativa, possibilitando a construção social do conhecimento visto que este bloco funcional básico será utilizado como um Bloco Lógico Funcional de Reuso (*Intellectual Property Core (IP Core)*) em novos projetos de Controladores Digitais baseados em *FPGA*, em andamento.
6. Oportunizou a reflexão que envolveu a metacognição relativa ao conhecimento adquirido durante o desenvolvimento do ciclo de projeto abordado.
7. Oportunizou articulações que permitiram que o conhecimento tácito fosse explicitado.
8. Oportunizou o processo de contestação e críticas ao professor orientador em momentos cruciais do processo de ensino/aprendizado.
9. Permitiu a realização de uma avaliação autêntica uma vez que para o orientando, certamente a ex-

periência prática de desenvolvimento de projetos de sistemas digitais irá se refletir na forma como o conhecimento será avaliado na aplicação de uma situação profissional de desenvolvimento na vida profissional real.

Demonstra-se, assim, a validade das metodologias adotadas e do ciclo de projeto abordado e abrem-se perspectivas para novos desenvolvimentos fazendo uso das tecnologias *FPGA* utilizando as ferramentas de cossimulação *PLD Design*.

Agradecimentos

Agradecemos ao Departamento de Engenharia Elétrica da UFMA pelo incentivo dado na elaboração deste trabalho e pela permissão de uso dos recursos laboratoriais do Laboratório Multidisciplinar, que teve sua origem através do Projeto apresentado e aprovado pelo MCTI em 2008 e que é um ambiente de experimentação totalmente estruturado com as tecnologias National Instruments para apoio ao Ensino da Engenharia Elétrica.

Referências Bibliográficas

- Alves, F.P. (2018). “Um Controlador Digital Unificado para Estudo de Conversores CC-CA – Ciclo de Projeto Utilizando *NI-MULTISIM* e a Ferramenta de Cossimulação *PLD-Design*.” Projeto de TCC. Universidade Federal do Maranhão. Departamento de Engenharia Elétrica.
- Brown, J.S.; Collins, A.; Duguid, P. (1989). “Situating Cognition and the Culture of Learning.” *Educational Researcher*, vol. 18, No 1, pp. 32-42.
- Chu, P.P (2008). “FPGA Prototyping by VHDL Examples.” John Wiley & Sons Inc.
- Herrington, J.; Oliver, R. (2000). “An Instructional Design Framework for Authentic Learning Environments.” *Educational Technology Research and Development*, vol. 48, No 3, pp. 23-48.
- Huselstein, J.J.; Martire, T.; Enrici, P. (2006). “A Versatile Inverter for Educational Purposes.” *IEEE 12th International Power Electronics and Motion Control Conference, Slovenia*, pp. 1727-1732.
- Lima, F. (1989). “Fonte de Corrente Digitalmente Controlada.” Projeto de TCC. Universidade Federal do Maranhão. Departamento de Engenharia Elétrica.
- National Instruments (2009). “Digital Electronics FPGA Board User Manual.”
- National Instruments (2010). “Teach Digital Concepts with the PLD Schematic in NI Multisim.” Tutorial-10556-en.
- National Instruments (2012). “Export Digital Logic to Xilinx FPGAs With NI Multisim.” Tutorial-10289-en.
- National Instruments (2017). “PLD Schematic MULTISIM Help.”
- National Instruments (2018). “Teaching Digital Logic Fundamentals - Theory, Simulation and Deployment”. white-paper/14946/en/.
- Rao, K. R.; Srinivas, P.; Suresh Kumar, M.V. (2014). “Design and Analysis of Various Inverters Using Different PWM Techniques”. *The International Journal of Engineering And Science*, pp. 2319 – 1805.
- Santos Filho, R.M.; Silva Pinto, M.A. (2005). “Modular Laboratory Equipment for Undergraduate and Technician Courses In Power Electronics.” *Power Electronics Education. IEEE Workshop* Volume, pp. 120 – 124.
- TRZYNADLOWSKI, A (2010). “Introduction to Modern Power Electronics”, Second Edition. John Wiley & Sons Inc.