

Estratégia de modulação por abordagem geométrica para conversores com diodos de grampeamento de 5 níveis

Arthur Staats* Diego Chaves* Leonardo Viera* Felipe Grigoletto**
Humberto Pinheiro*

* Grupo de Eletrônica de Potência e Controle (GEPOC), Universidade Federal de Santa Maria, Santa Maria, RS.

** Laboratório de Processamento de Energia e Controle (LAPEC), Universidade Federal do Pampa, Alegrete, RS.

Abstract: This paper proposes a pulse width modulation (PWM) method to control the DC bus capacitor voltages of 5-level diode-clamped multilevel (DCM) inverters. One of the greatest concerns of the DCM inverter is the low-frequency ripple in the clamped capacitors voltages, which occur mainly for high modulation index. Besides, non-idealities of the semiconductors can unbalance the voltages between the clamped capacitors, increasing the voltage stress on the switches and distorting the output voltage. In order to address these problems, a carrier-based modulation, which decomposes the phase modulating signals, is developed. This decomposition provides a degree of freedom to impose the dc bus capacitor currents independently of the load power factor and modulation index. Finally, simulation results are added to demonstrate the good performance of the proposed modulation.

Resumo: Este trabalho propõe uma estratégia de modulação PWM para o controle das tensões dos capacitores grampeados do inversor com diodos de grampeamento (*diode-clamped multilevel* - DCM) de 5 níveis. Uma das maiores preocupações do inversor DCM são as oscilações de baixa frequência nas tensões dos capacitores grampeados, que ocorrem principalmente para altos índices de modulação. Além disso, não idealidades do circuito podem causar desequilíbrios nas tensões dos capacitores grampeados, aumentando o estresse de tensão sobre os interruptores e distorcendo o sinal PWM de saída. Com o intuito de minimizar ambos problemas, uma modulação é desenvolvida usando abordagem geométrica, sendo facilmente implementada via comparação com portadora. Por fim, resultados de simulação são adicionados para demonstrar a boa performance da modulação proposta.

Keywords: Diode-clamped multilevel inverter; imbalance between the clamped capacitors voltage; modulation by geometric approach.

Palavras-chaves: Inversor diode-clamped multilevel; Desequilíbrio das tensões grampeadas; Modulação por abordagem geométrica.

1. INTRODUÇÃO

Inversores multiníveis são bastante populares para aplicações de média tensões, devido ao baixo estresse de tensão sobre os interruptores de potência, melhor performance harmônica e baixa frequência de comutação (Abu-Rub et al. (2010)). Devido as suas vantagens, o uso de inversores multinível continua crescendo em diferentes aplicações, como no acionamento de motores e sistemas de geração distribuída (Rodriguez et al. (2009); Kouro et al. (2012)). As topologias mais comuns incluem o inversor com diodos de grampeamento (*diode-clamped multilevel* - DCM), *flying capacitor* (FC) e *modular multinível converter* (MMC) (Mittal et al. (2012); Stala (2013)).

Dentre as topologias clássicas, o inversor FC apresenta elevado número de capacitores a medida que o número de níveis aumenta, o que afeta a confiabilidade do inversor. Estruturas com MMC apresentam maior confiabilidade, a

medida que os módulos de tensão podem ser substituídos; entretanto, em algumas aplicações faz-se necessário o uso de fontes isoladas, requerendo um transformador com múltiplos enrolamentos, o que pode aumentar o preço total da estrutura (Malinowski et al. (2010)).

Por outro lado, o inversor DCM não requer fontes isoladas, e usa um menor número de capacitores do que o inversor FC. Entretanto, além de um maior número de diodos, pode apresentar certa complexidade no controle das tensões dos capacitores grampeados (Busquets-Monge et al. (2004)), principalmente para elevado número de níveis. Se tratando de um DCM de 5 níveis, algumas soluções foram propostas por alguns autores nos últimos anos (Bouhali et al. (2004); Hasegawa and Akagi (2009); Busquets-Monge et al. (2008, 2015)).

Em (Hotait et al. (2010)), os autores propõem usar os vetores redundantes em uma modulação por espaço vetorial (*space vector modulation* - SVM) disponíveis no

inversor DCM para equilibrar as tensões dos capacitores grampeados. O método garante o equilíbrio das tensões, entretanto não elimina as oscilações de baixa frequência no barramento cc, que se tornam mais presentes para índices de modulação altos. Em (Hasegawa and Akagi (2011)), os autores propõem o uso de um conversor adicional para garantir o equilíbrio das tensões dos capacitores, bem como, mitigar as oscilações de baixa frequência. Embora efetivo, o método requer uso de diodos, interruptores e indutores adicionais. Em (Zhao et al. (2016)), os autores usam a flexibilidade da modulação SVM, e eliminam certos vetores da operação do inversor, o que garante o equilíbrio dos capacitores e elimina as ondulações de baixa frequência. Entretanto, o método é bastante complexo e requer a geração de ordens de comutação assimétricas, o que dificulta a implementação. Em (Saqib and Kashif (2010)), os autores propõem a utilização de uma rede neural artificial (RNA) e SVM para realizar o equilíbrio das tensões nos capacitores de barramento e para garantir um baixo índice de distorção harmônica na tensão de saída. Porém, esse método apresenta grande complexidade durante o treinamento da RNA, não apresentando grande flexibilidade para outras aplicações. Em (Busquets-Monge et al. (2004)) é apresentada uma solução PWM baseada na aplicação de Vetores-espaciais-virtuais, o que garante o equilíbrio de tensão nos capacitores para uma longa faixa de tensão de saída e para todos os fatores de potência de carga. Porém, a análise limitou-se para conversores DCM de duas pernas e n níveis. Em (Marchesoni and Tenca (2002)) são propostos estratégias para balancear as tensões de DCM e *back-to-back conversion system* minimizando uma função custo associada a energia armazenada no barramento CC utilizando os vetores redundantes a cada instante de amostragem. Porém, observou-se que para algumas estratégias de comutação, como a *combined* o balanceamento nas tensões dos capacitores não apresentou grande eficácia.

Entretanto, em (Grigoletto and Pinheiro (2011)), os autores propõem uma estratégia de modulação que elimina as oscilações de baixa frequência do barramento cc, permitindo o controle das tensões grampeadas de maneira simples. O método gera os sinais PWM via comparação com portadora, simplificando a implementação. Embora seja mencionado a possibilidade de expansão, o trabalho se concentra em um inversor 4 níveis, não detalhando os resultados para DCM 5 níveis. Com o intuito de expandir as análises, este trabalho propõe uma modulação, usando os mesmos princípios presentes em (Grigoletto and Pinheiro (2011)), para um DCM 5 níveis.

2. MODULAÇÃO PWM PROPOSTA

A Fig. 1 ilustra o inversor DCM de 5 níveis. Note que, na Fig. 1, três correntes entram nos nós entre os capacitores grampeados (i_{o1} , i_{o2} , i_{o3}). Nesse trabalho, os sinais que controlam os interruptores do inversor serão considerados de maneira semelhante ao inversor DCM de 4 níveis (Grigoletto and Pinheiro (2011)). Então, os sinais modulantes normalizados podem ser definidos como

$$\begin{aligned} v_{ag} &= v_{ag1} + v_{ag2} + v_{ag3} + v_{ag4} - 6 \\ v_{bg} &= v_{bg1} + v_{bg2} + v_{bg3} + v_{bg4} - 6 \\ v_{cg} &= v_{cg1} + v_{cg2} + v_{cg3} + v_{cg4} - 6. \end{aligned} \quad (1)$$

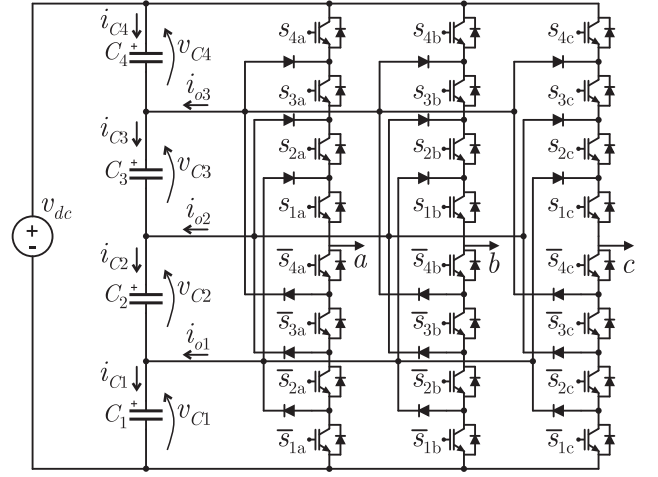


Figura 1. Conversor DCM de 5 níveis.

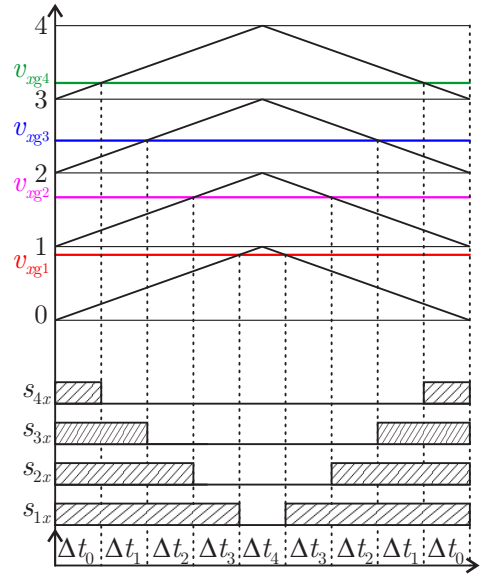


Figura 2. Sinais modulantes e sinais nos interruptores para um período de comutação.

Além disso, para que o inversor opere em região linear, isso é, não distorça os sinais PWM da tensão de saída, ele deve respeitar as seguintes restrições

$$\begin{aligned} 0 &\leq v_{xg1} \leq 1 \\ 1 &\leq v_{xg2} \leq 2 \\ 2 &\leq v_{xg3} \leq 3 \\ 3 &\leq v_{xg4} \leq 4, \end{aligned} \quad (2)$$

onde $x = \{a, b, c\}$.

Para evitar que o inversor sintetize estados de comutação que são dependentes da polaridade da corrente de saída, adicionalmente as restrições anteriores, os sinais modulantes também devem satisfazer

$$\begin{aligned} v_{xg1} &\leq v_{xg2} - 1 \\ v_{xg2} &\leq v_{xg3} - 1 \\ v_{xg3} &\leq v_{xg4} - 1. \end{aligned} \quad (3)$$

A Fig. 2 ilustra o comportamento dos sinais modulantes e os sinais nos interruptores em um período de comutação,

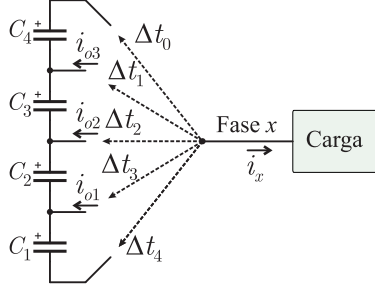


Figura 3. Relação de tempos com a corrente em cada ponto do barramento.

respeitando as restrições dadas por (2) e (3). Pelas Figuras 2 e 3, é possível notar que os estados do inversor controlam as correntes i_{o1} , i_{o2} e i_{o3} . Dependendo do valor médios dessas correntes, as tensões dos capacitores grampeados podem desequilibrar. Sabendo pela Fig. 3 que a duração dos estados Δt_1 , Δt_2 , Δt_3 controlam o valor das correntes i_{o3} , i_{o2} e i_{o1} , o valor médio das correntes dentro de um período de comutação T_s pode ser expresso por

$$\begin{aligned}\bar{I}_{o1x} &= \frac{1}{T_s}(-2i_x\Delta t_3) \\ \bar{I}_{o2x} &= \frac{1}{T_s}(-2i_x\Delta t_2) \\ \bar{I}_{o3x} &= \frac{1}{T_s}(-2i_x\Delta t_1)\end{aligned}\quad (4)$$

Note que, pela Fig. 2, as durações Δt podem ser controladas pelos sinais modulantes, pelas relações

$$\begin{aligned}\Delta t_3 &= \frac{T_s}{2}(v_{xg2} - v_{xg1} - 1) \\ \Delta t_2 &= \frac{T_s}{2}(v_{xg3} - v_{xg2} - 1) \\ \Delta t_1 &= \frac{T_s}{2}(v_{xg4} - v_{xg3} - 1)\end{aligned}\quad (5)$$

Substituindo (5) em (4), obtêm-se

$$\begin{aligned}\bar{I}_{o1x} &= i_x(v_{xg2} - v_{xg1} - 1) \\ \bar{I}_{o2x} &= i_x(v_{xg3} - v_{xg2} - 1) \\ \bar{I}_{o3x} &= i_x(v_{xg4} - v_{xg3} - 1)\end{aligned}\quad (6)$$

Para um sistema trifásico, a corrente total nos nós com as contribuições de cada braço podem ser definidas como

$$\begin{aligned}\bar{I}_{o1x} &= \sum_{x=\{a,b,c\}} i_x(v_{xg2} - v_{xg1} - 1) \\ \bar{I}_{o2x} &= \sum_{x=\{a,b,c\}} i_x(v_{xg3} - v_{xg2} - 1) \\ \bar{I}_{o3x} &= \sum_{x=\{a,b,c\}} i_x(v_{xg4} - v_{xg3} - 1)\end{aligned}\quad (7)$$

Note que, as durações Δt_0 , Δt_4 não contribuem para as correntes nos nós dos capacitores. Para zerar as oscilações de baixa frequência nos capacitores grampeados, a média das correntes i_{C1} , i_{C2} , i_{C3} , i_{C4} devem ser zero dentro de um período de comutação ($\bar{I}_{C1} = \bar{I}_{C2} = \bar{I}_{C3} = \bar{I}_{C4} = 0$).

Observando a Fig. 1, podemos definir matricialmente as correntes nos capacitores como

$$\begin{bmatrix} 1 & -1 & 0 & 0 \\ 0 & 1 & -1 & 0 \\ 0 & 0 & 1 & -1 \\ \frac{1}{C_1} & \frac{1}{C_2} & \frac{1}{C_3} & \frac{1}{C_4} \end{bmatrix} \begin{bmatrix} i_{C1} \\ i_{C2} \\ i_{C3} \\ i_{C4} \end{bmatrix} = \begin{bmatrix} i_{o1} \\ i_{o2} \\ i_{o3} \\ 0 \end{bmatrix} + \begin{bmatrix} 0 \\ 0 \\ 0 \\ \frac{dv_{dc}}{dt} \end{bmatrix} \quad (8)$$

Assumindo que os capacitores grampeados são iguais, e que a tensão do barramento cc é constante dentro de um período de comutação, as correntes nos capacitores podem ser obtidas por

$$\begin{bmatrix} \bar{I}_{C1} \\ \bar{I}_{C2} \\ \bar{I}_{C3} \\ \bar{I}_{C4} \end{bmatrix} = \frac{1}{4} \begin{bmatrix} 3 & 2 & 1 & 1 \\ -1 & 2 & 1 & 1 \\ -1 & -2 & 1 & 1 \\ -1 & -2 & -3 & 1 \end{bmatrix} \begin{bmatrix} \bar{I}_{o1} \\ \bar{I}_{o2} \\ \bar{I}_{o3} \\ 0 \end{bmatrix} \quad (9)$$

Substituindo a eq. (7) em (9), a corrente média que circula nos capacitores C_1 , C_2 e C_3 em um período de comutação podem ser definidos como

$$\begin{aligned}\bar{I}_{C1} &= (i_a/4)(-3v_{ag1} + v_{ag2} + v_{ag3} + v_{ag4} - 6) \\ &\quad + (i_b/4)(-3v_{bg1} + v_{bg2} + v_{bg3} + v_{bg4} - 6) \\ &\quad + (i_c/4)(-3v_{cg1} + v_{cg2} + v_{cg3} + v_{cg4} - 6) \\ \bar{I}_{C2} &= (i_a/4)(v_{ag1} - 3v_{ag2} + v_{ag3} + v_{ag4} - 2) \\ &\quad + (i_b/4)(v_{bg1} - 3v_{bg2} + v_{bg3} + v_{bg4} - 2) \\ &\quad + (i_c/4)(v_{cg1} - 3v_{cg2} + v_{cg3} + v_{cg4} - 2) \\ \bar{I}_{C3} &= (i_a/4)(v_{ag1} + v_{ag2} - 3v_{ag3} + v_{ag4} + 2) \\ &\quad + (i_b/4)(v_{bg1} + v_{bg2} - 3v_{bg3} + v_{bg4} + 2) \\ &\quad + (i_c/4)(v_{cg1} + v_{cg2} - 3v_{cg3} + v_{cg4} + 2)\end{aligned}\quad (10)$$

Sabendo que em um sistema trifásico equilibrado a soma das correntes de fase é zero ($i_a + i_b + i_c = 0$), para que os capacitores grampeados não apresentem oscilações de baixa frequência, os sinais modulantes, considerando a eq. (10), devem respeitar as seguintes igualdades

$$\begin{aligned}(-3v_{ag1} + v_{ag2} + v_{ag3} + v_{ag4} - 6) &= \\ (-3v_{bg1} + v_{bg2} + v_{bg3} + v_{bg4} - 6) &= \\ (-3v_{cg1} + v_{cg2} + v_{cg3} + v_{cg4} - 6) &= \\ (v_{ag1} - 3v_{ag2} + v_{ag3} + v_{ag4} - 2) &= \\ (v_{bg1} - 3v_{bg2} + v_{bg3} + v_{bg4} - 2) &= \\ (v_{cg1} - 3v_{cg2} + v_{cg3} + v_{cg4} - 2) &= \\ (v_{ag1} + v_{ag2} - 3v_{ag3} + v_{ag4} + 2) &= \\ (v_{bg1} + v_{bg2} - 3v_{bg3} + v_{bg4} + 2) &= \\ (v_{cg1} + v_{cg2} - 3v_{cg3} + v_{cg4} + 2) &= \\ (v_{bg1} + v_{bg2} - 3v_{bg3} + v_{bg4} - 2) &= \\ (v_{cg1} + v_{cg2} - 3v_{cg3} + v_{cg4} - 2) &= \end{aligned}\quad (11)$$

De forma matricial, as eq. (1) e (11) podem ser escritas como

$$M = \begin{bmatrix} 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 1 & 1 \\ -3 & 1 & 1 & 1 & 3 & -1 & -1 & -1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & -3 & 1 & 1 & 1 & 3 & -1 & -1 & -1 \\ 1 & -3 & 1 & 1 & -1 & 3 & -1 & -1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & -3 & 1 & 1 & -1 & 3 & -1 & -1 \\ 1 & 1 & -3 & 1 & -1 & -1 & 3 & -1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 1 & -3 & 1 & -1 & -1 & 3 & -1 \\ 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 \\ 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \end{bmatrix} \quad (12)$$

onde as 3 últimas linhas matriz são variáveis auxiliares definidas afim de tornar a matriz M inversível. Os sinais de modulação podem ser definidos como

$$\begin{bmatrix} v_{ag1} \\ v_{ag2} \\ v_{ag3} \\ v_{ag4} \\ v_{bg1} \\ v_{bg2} \\ v_{bg3} \\ v_{bg4} \\ v_{cg1} \\ v_{cg2} \\ v_{cg3} \\ v_{cg4} \end{bmatrix} = M^{-1} \begin{bmatrix} v_{ag} + 6 \\ v_{bg} + 6 \\ v_{cg} + 6 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ v_{o1} \\ v_{o2} \\ v_{o3} \end{bmatrix} \quad (13)$$

Note que, para que o inversor opere, 3 sinais foram adicionados aos sinais modulantes, v_{o1} , v_{o2} , v_{o3} . Realizando a multiplicação da eq. (13) tem-se

$$\begin{aligned} v_{ag1} &= (1/12) (4v_{m3} + 2v_{ag} - v_{bg} - v_{cg}) \\ v_{ag2} &= (1/12) (4v_{m1} + 2v_{ag} - v_{bg} - v_{cg}) \\ v_{ag3} &= (1/12) (4v_{m2} + 2v_{ag} - v_{bg} - v_{cg}) \\ v_{ag4} &= (1/12) \left(\frac{-4(v_{m1} + v_{m2} + v_{m3}) + 6v_{ag} + 3v_{bg} + 3v_{cg} + 72}{6} \right) \\ v_{bg1} &= (1/12) (4v_{m3} - v_{ag} + 2v_{bg} - v_{cg}) \\ v_{bg2} &= (1/12) (4v_{m1} - v_{ag} + 2v_{bg} - v_{cg}) \\ v_{bg3} &= (1/12) (4v_{m2} - v_{ag} + 2v_{bg} - v_{cg}) \\ v_{bg4} &= (1/12) \left(\frac{-4(v_{m1} + v_{m2} + v_{m3}) + 3v_{ag} + 6v_{bg} + 3v_{cg} + 72}{3} \right) \\ v_{cg1} &= (1/12) (4v_{m3} - v_{ag} - v_{bg} + 2v_{cg}) \\ v_{cg2} &= (1/12) (4v_{m1} - v_{ag} - v_{bg} + 2v_{cg}) \\ v_{cg3} &= (1/12) (4v_{m2} - v_{ag} - v_{bg} + 2v_{cg}) \\ v_{cg4} &= (1/12) \left(\frac{-4(v_{m1} + v_{m2} + v_{m3}) + 3v_{ag} + 3v_{bg} + 6v_{cg} + 72}{3} \right) \end{aligned} \quad (14)$$

Substituindo a eq. (14) na desigualdades da eq. (2) e eq. (3) obtém-se os limites dos sinais v_{o1} , v_{o2} , v_{o3}

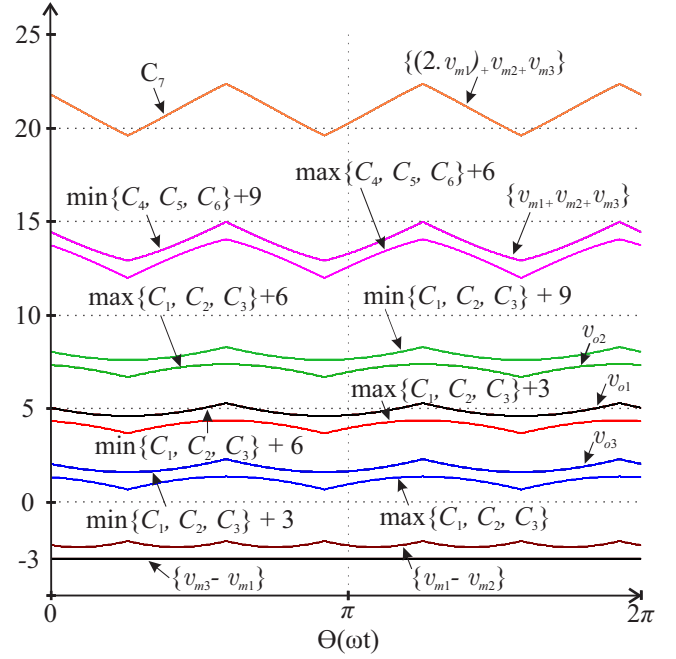


Figura 4. Sinais v_{o1} , v_{o2} e v_{o3} definidos conforme a eq. (17).

$$\begin{aligned} 3 + C1 &\leq v_{m1} \leq 6 + C1 \\ 3 + C2 &\leq v_{m1} \leq 6 + C2 \\ 3 + C3 &\leq v_{m1} \leq 6 + C2 \\ 6 + C1 &\leq v_{m2} \leq 9 + C1 \\ 6 + C2 &\leq v_{m2} \leq 9 + C2 \\ 6 + C3 &\leq v_{m2} \leq 9 + C3 \\ C1 &\leq v_{m3} \leq 3 + C1 \\ C2 &\leq v_{m3} \leq 3 + C2 \\ C3 &\leq v_{m3} \leq 3 + C3 \\ 6 + C4 &\leq v_{m1} + v_{m2} + v_{m3} \leq 9 + C4 \\ 6 + C5 &\leq v_{m1} + v_{m2} + v_{m3} \leq 9 + C5 \\ 6 + C6 &\leq v_{m1} + v_{m2} + v_{m3} \leq 9 + C6 \\ v_{m3} - v_{m1} &\geq -3 \\ v_{m1} - v_{m2} &\geq -3 \\ 2v_{m2} + v_{m1} + v_{m3} &\geq C7 \end{aligned} \quad (15)$$

onde

$$\begin{aligned} C1 &= (1/4) (-2v_{ag} + v_{bg} + v_{cg}) \\ C2 &= (1/4) (v_{ag} - 2v_{bg} + v_{cg}) \\ C3 &= (1/4) (v_{ag} + v_{bg} - 2v_{cg}) \\ C4 &= (1/4) (6v_{ag} + 3v_{bg} + 3v_{cg}) \\ C5 &= (1/4) (3v_{ag} + 6v_{bg} + 3v_{cg}) \\ C6 &= (1/4) (3v_{ag} + 3v_{bg} + 6v_{cg}) \\ C7 &= 15 + v_{ag} + v_{bg} + v_{cg} \end{aligned} \quad (16)$$

Uma possibilidade para escolha dos sinais v_{o1} , v_{o2} e v_{o3} é a média dos máximos e mínimos, resultando em sinais modulantes v_{xg1} , v_{xg2} , v_{xg3} e v_{xg4} iguais, provocando a síntese da tensão de fase com 2 níveis na saída. De modo a garantir a síntese de um maior número de níveis pelo conversor, os seguintes sinais podem ser adotados

$$\begin{aligned} v_{o1} &= \min(6 + C1, 6 + C2, 6 + C3) \\ v_{o2} &= \max(6 + C1, 6 + C2, 6 + C3) \\ v_{o3} &= \min(3 + C1, 3 + C2, 3 + C3) \end{aligned} \quad (17)$$

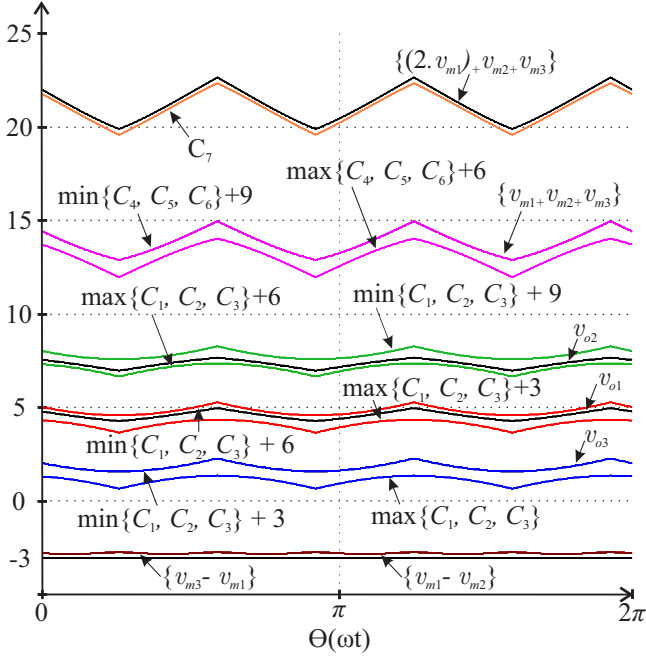


Figura 5. Sinais v_{o1} , v_{o2} e v_{o3} definidos conforme a eq. (18).

Os sinais da eq. (17) ficam restritos aos limites definidos na eq. (15), conforme ilustrado na Fig. 4, comprovando que a solução 1 é possível. De modo a analisar outra possibilidade, os sinais v_{o1} , v_{o2} e v_{o3} podem ser definidos como

$$\begin{aligned} v_{o1} &= \frac{\max(3 + C1, 3 + C2, 3 + C3) + 2 \min(6 + C1, 6 + C2, 6 + C3)}{3} \\ v_{o2} &= \frac{2 \max(6 + C1, 6 + C2, 6 + C3) + \min(9 + C1, 9 + C2, 9 + C3)}{3} \\ v_{o3} &= \min(3 + C1, 3 + C2, 3 + C3) \end{aligned} \quad (18)$$

Os sinais da eq. (18) ficam restritos aos limites definidos na eq. (15), conforme ilustrado na Fig. 5 e esta escolha será denominada de solução 2.

Na próxima seção são apresentadas simulações para comprovar a operação da modulação proposta.

3. SIMULAÇÕES

Para as simulações computacionais, foi proposto o conversor cujos parâmetros estão descritos na Tabela 1, todos os resultados se referem a uma carga RL conectada à saída com índice de modulação elevado (0,9).

3.1 Modulação PD convencional

Como base de comparações, na Fig. 6 estão apresentados os sinais das tensões de fase e linha, bem como a corrente de fase para a operação com modulação *phase-disposition* (PD) convencional. Importante salientar que a tensão de fase possui nível CC pois está referenciada ao barramento.

A corrente i_x apresentada na Fig. 6 se refere a uma carga RL de 3 mH e 12,5 Ω. Pode-se observar a presença de 5 níveis na tensão de fase e 9 níveis na tensão de linha,

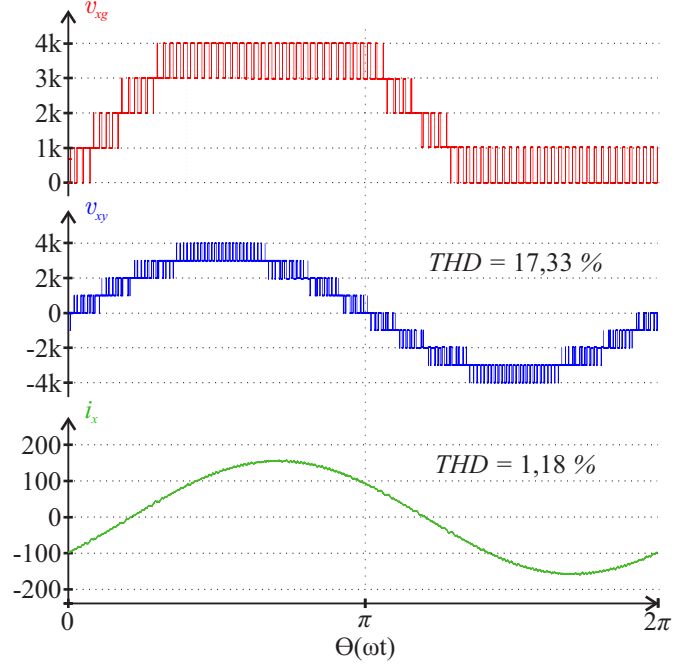


Figura 6. Tensão de fase, linha e corrente de fase para modulação PD convencional.

bem como, a *total harmonic distortion* (THD) presente na tensão de linha e corrente de saída.

Os resultados para a modulação PD convencional são satisfatórios, entretanto, as correntes nos capacitores de divisão do barramento CC possuem elevado *ripple* de baixa frequência e valor médio diferente de zero. Na Fig. 7 estão ilustradas as correntes em cada um dos capacitores do barramento filtradas, para melhor visualização.

Na Fig. 7, os capacitores C2 e C3 carregam enquanto C1 e C4 descarregam, o que corresponde a um desbalanço na tensão dos mesmos, inviabilizando a aplicação prática.

Quanto ao número de comutações das chaves, na modulação PD convencional, foram apresentados os resultados da Tabela 2.

Tabela 1. Parâmetros de Simulação

Parâmetros	
Filtro Indutivo (L_f)	3 mH
Frequência de Comutação (f_s)	5 kHz
Frequência Fundamental (f_1)	115 A
Tensão de Linha	2,5 kV
Corrente de Fase (i_x)	115 A
Tensão do Barramento CC (v_{dc})	4 kV
Potência (P)	500 kW

Tabela 2. Número de comutações para a modulação PD convencional.

Chave	Número de comutações (16,6 ms)
$S_1, \bar{S}_1, S_4, \bar{S}_4$	66
$S_2, \bar{S}_2, S_3, \bar{S}_3$	20

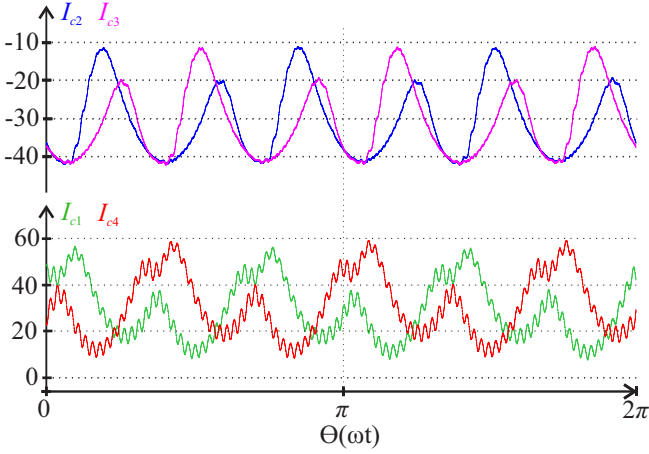


Figura 7. Corrente filtrada dos capacitores do barramento CC para a modulação PD convencional.

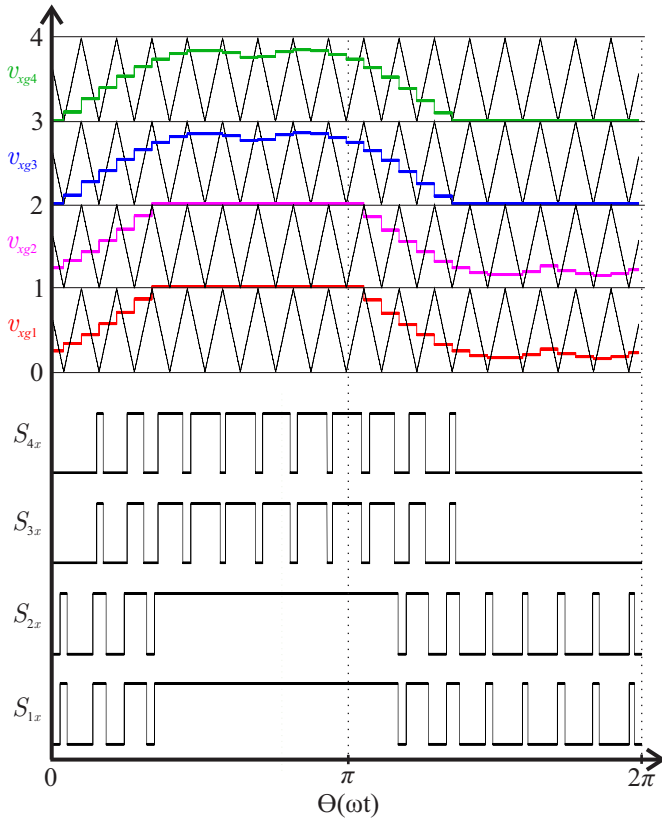


Figura 8. Sinais modulantes e comando das chaves para modulação proposta com solução 1.

3.2 Modulação proposta

Para a simulação da modulação proposta, inicialmente foram adotados os sinais v_{o1} , v_{o2} e v_{o3} da solução 1, descritos na eq. (17), os quais resultam nos sinais modulantes da Fig. 8. Observa-se um equilíbrio no número de comutações das chaves, visto que todas permanecem grampeadas pelo mesmo período de tempo. Os números podem ser consultados na Tabela 3.

Na Fig. 9 estão ilustrados os sinais de tensão de fase, linha e corrente de fase para os sinais modulantes da Fig. 8. Observa-se que não foi respeitada a comutação para o nível

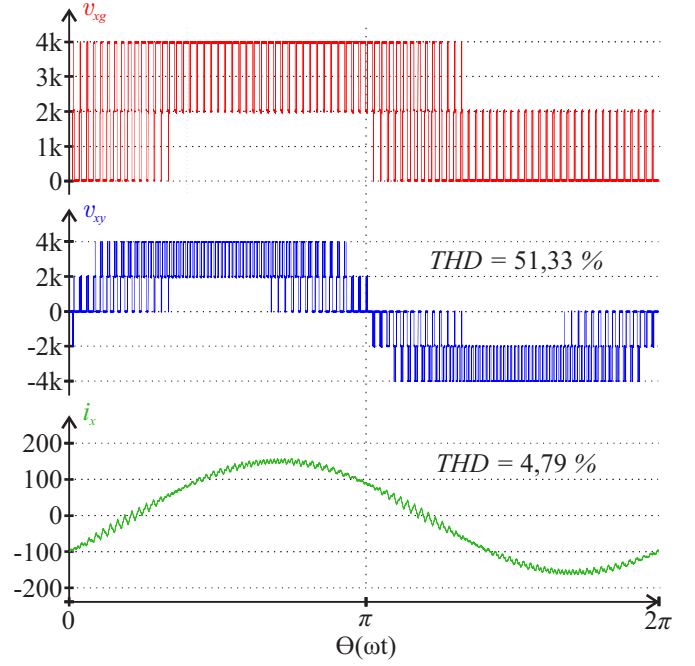


Figura 9. Tensão de fase, linha e corrente de fase para modulação proposta com solução 1.

mais próximo, apresentado elevada THD se comparada com a modulação PD convencional, o que acarreta na necessidade de maior volume de filtros na saída.

De modo a analisar os resultados sob diferentes escolhas dos sinais v_{o1} , v_{o2} e v_{o3} , foi realizada a simulação da solução 2, apresentada na eq. (18), a qual resulta nos sinais modulantes apresentados na Fig. 10.

Percebe-se na Fig. 11 que os resultados não foram satisfatórios, além de um maior e desequilibrado número de comutações nas chaves (Tabela 4), a solução 2 retratou uma THD ainda maior se comparada com a solução 1.

Desta forma, pode-se concluir que, para a modulação proposta, é mais vantajosa a operação com a solução 1, obtendo menores distorções e equilíbrios na comutação dos interruptores.

De modo a constatar a correta operação da modulação proposta no que se refere as correntes dos capacitores de divisão do barramento CC, foi plotada a Fig. 12, na qual estão ilustrados os sinais de interesse filtrados, para melhor visualização.

Constata-se, pela Fig. 12, que as corrente média nos capacitores é anulada pela modulação, bem como o *ripple*

Tabela 3. Número de comutações para a modulação proposta com a solução 1.

Chave	Número de comutações (16,6 ms)
$S_1, \bar{S}_1, S_4, \bar{S}_4$	112
$S_2, \bar{S}_2, S_3, \bar{S}_3$	112

Tabela 4. Número de comutações para a modulação proposta com a solução 2.

Chave	Número de comutações (16,6 ms)
$S_1, \bar{S}_1, S_4, \bar{S}_4$	112
$S_2, \bar{S}_2, S_3, \bar{S}_3$	166

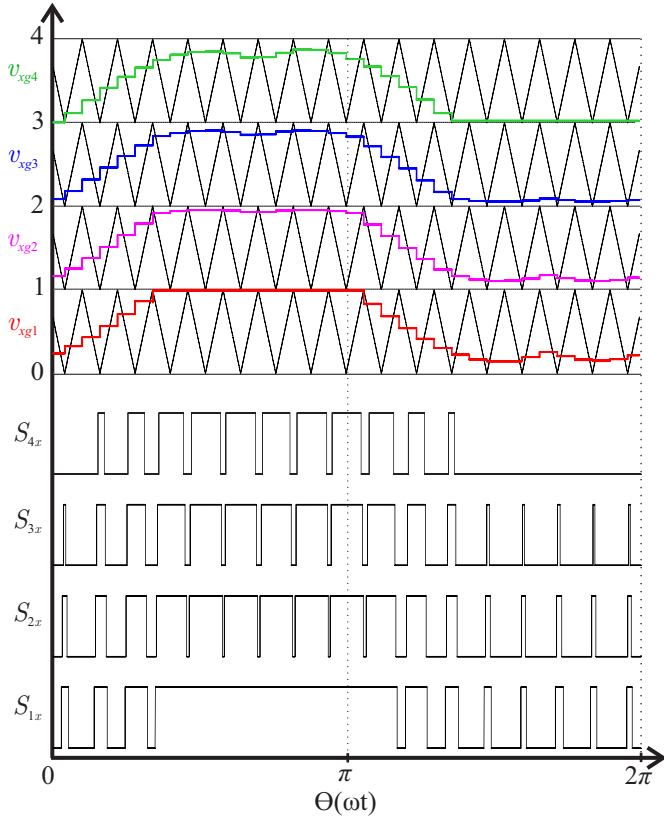


Figura 10. Sinais modulantes e comando das chaves para modulação proposta com solução 2.

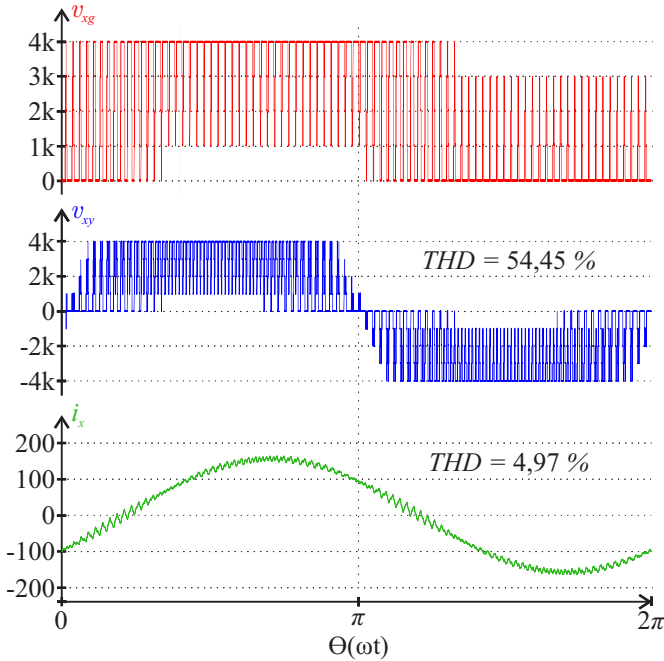


Figura 11. Tensão de fase, linha e corrente de fase para modulação proposta com solução 2.

de baixa frequência observado na Fig. 7. Com a corrente nula, os capacitores tendem a manter o equilíbrio de tensão.

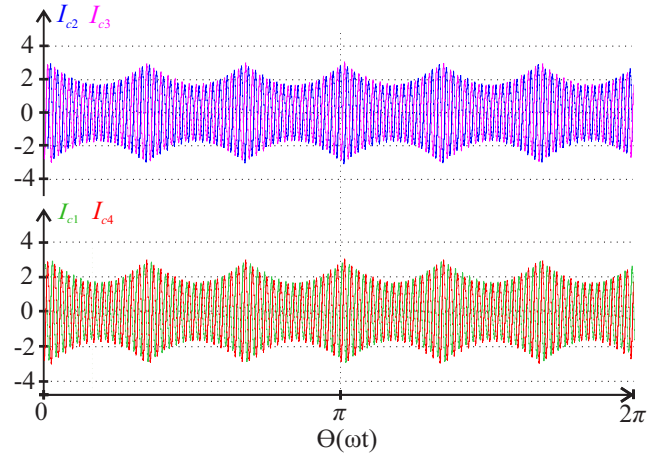


Figura 12. Corrente filtrada dos capacitores do barramento CC para a modulação proposta.

4. CONCLUSÃO

Este trabalho teve como objetivo desenvolver uma modulação por abordagem geométrica de fácil implementação, que reduza as ondulações de baixa frequência e o desequilíbrio dos capacitores grampeados de um inversor DCM de 5 níveis. Como observado na seção de simulações, quando comparado a uma estratégia PD convencional, houve um aumento na THD dos sinais de tensão e corrente, representando uma piora significativa na qualidade desses sinais. Entretanto, a estratégia proposta cumpre com o objetivo estipulado, zerando a componente contínua e reduzindo as oscilações de baixa frequência de 50A (Fig. 7) para 6A (Fig. 12) nas correntes dos capacitores grampeados com relação à modulação PD.

REFERÊNCIAS

- Abu-Rub, H., Holtz, J., Rodriguez, J., and Baoming, G. (2010). Medium-voltage multilevel converters—state of the art, challenges, and requirements in industrial applications. *IEEE Transactions on Industrial Electronics*, 57(8), 2581–2596.
- Bouhali, O., Berkouk, E.M., Saudemont, C., and Francois, B. (2004). A five-level diode clamped inverter with self-stabilization of the dc-link voltage for grid connection of distributed generators. In *2004 IEEE International Symposium on Industrial Electronics*, volume 2, 947–952 vol. 2.
- Busquets-Monge, S., Alepuz, S., Rocabert, J., and Bordonau, J. (2008). Pulsewidth modulations for the comprehensive capacitor voltage balance of n-level diode-clamped converters. In *2008 IEEE Power Electronics Specialists Conference*, 4479–4486.
- Busquets-Monge, S., Bordonau, J., Boroyevich, D., and Somavilla, S. (2004). The nearest three virtual space vector pwm - a modulation for the comprehensive neutral-point balancing in the three-level npc inverter. *IEEE Power Electronics Letters*, 2(1), 11–15.
- Busquets-Monge, S., Maheshwari, R., Nicolas-Apruzzese, J., Lupon, E., Munk-Nielsen, S., and Bordonau, J. (2015). Enhanced dc-link capacitor voltage balancing control of dc-ac multilevel multileg converters. *IEEE Transactions on Industrial Electronics*, 62(5), 2663–2672.

- Grigoletto, F.B. and Pinheiro, H. (2011). Generalised pulse width modulation approach for dc capacitor voltage balancing in diode-clamped multilevel converters. *IET Power Electronics*, 4(1), 89–100.
- Hasegawa, K. and Akagi, H. (2009). A new dc-voltage-balancing circuit including a single coupled inductor for a five-level diode-clamped pwm inverter. In *2009 IEEE Energy Conversion Congress and Exposition*, 2153–2159.
- Hasegawa, K. and Akagi, H. (2011). A new dc-voltage-balancing circuit including a single coupled inductor for a five-level diode-clamped pwm inverter. *IEEE Transactions on Industry Applications*, 47(2), 841–852.
- Hotait, H.A., Massoud, A.M., Finney, S.J., and Williams, B.W. (2010). Capacitor voltage balancing using redundant states of space vector modulation for five-level diode clamped inverters. *IET Power Electronics*, 3(2), 292–313.
- Kouro, S., Rodriguez, J., Wu, B., Bernet, S., and Perez, M. (2012). Powering the future of industry: High-power adjustable speed drive topologies. *IEEE Industry Applications Magazine*, 18(4), 26–39.
- Malinowski, M., Gopakumar, K., Rodriguez, J., and Pérez, M.A. (2010). A survey on cascaded multilevel inverters. *IEEE Transactions on Industrial Electronics*, 57(7), 2197–2206.
- Marchesoni, M. and Tenca, P. (2002). Diode-clamped multilevel converters: a practicable way to balance dc-link voltages. *IEEE Transactions on Industrial Electronics*, 49(4), 752–765.
- Mittal, N., Singh, B., Singh, S.P., Dixit, R., and Kumar, D. (2012). Multilevel inverters: A literature survey on topologies and control strategies. In *2012 2nd International Conference on Power, Control and Embedded Systems*, 1–11.
- Rodriguez, J., Franquelo, L.G., Kouro, S., Leon, J.I., Portillo, R.C., Prats, M.M., and Perez, M.A. (2009). Multilevel converters: An enabling technology for high-power applications. *Proceedings of the IEEE*, 97(11), 1786–1817.
- Saqib, M.A. and Kashif, S.A.R. (2010). Artificial neural network based space vector pwm for a five-level diode-clamped inverter. In *2010 20th Australasian Universities Power Engineering Conference*, 1–6.
- Stala, R. (2013). A natural dc-link voltage balancing of diode-clamped inverters in parallel systems. *IEEE Transactions on Industrial Electronics*, 60(11), 5008–5018.
- Zhao, Z., Zhao, J., and Huang, C. (2016). An improved capacitor voltage-balancing method for five-level diode-clamped converters with high modulation index and high power factor. *IEEE Transactions on Power Electronics*, 31(4), 3189–3202.